

**Diversitätsbewertung von
komplexen elektronischen
Komponenten
für den Einsatz
in sicherheitstechnisch
wichtigen Einrichtungen
in Kernkraftwerken**

Diversitätsbewertung von komplexen elektronischen Komponenten für den Einsatz in sicherheitstechnisch wichtigen Einrichtungen in Kernkraftwerken

Henriette Gatz
Manuela Jopen
Birte Ulrich
Dagmar Sommer

März 2020

Anmerkung:

Das diesem Bericht zugrunde liegende Forschungsvorhaben wurde mit Mitteln des BMU (Bundesministerium für Umwelt, Naturschutz und nukleare Sicherheit) unter dem Kennzeichen 3617R01333 durchgeführt.

Die Verantwortung für den Inhalt dieser Veröffentlichung liegt beim Auftragnehmer.

Der Bericht gibt die Auffassung und Meinung des Auftragnehmers wieder und muss nicht mit der Meinung des Auftraggebers übereinstimmen.

Deskriptoren

CPLD, Diversität, FPGA, Komplexe elektronische Komponenten, programmierbare bzw. rechnerbasierte Leittechnik

Kurzfassung

Komplexe elektronische Komponenten (KEK) wie FPGAs und CPLDs kommen zunehmend in modernen Leittechniksystemen zum Einsatz. Zur Vermeidung von gemeinsam verursachten Ausfällen müssen sie bei der Diversitätsbetrachtung solcher Leittechniksysteme ebenfalls berücksichtigt werden. Um dies zu ermöglichen, wurden im Rahmen dieses Vorhabens Diversitätsmerkmale für die Bewertung komplexer elektronischer Komponenten für sicherheitstechnisch wichtige Anwendungen erarbeitet. In einem ersten Schritt wurde eine Recherche der verschiedenen Typen komplexer elektronischer Komponenten und der Hersteller, die solche KEK anbieten, durchgeführt. Des Weiteren wurden in nationalen und internationalen Regelwerken die bereits vorhandenen Anforderungen an KEK recherchiert und daraus mögliche Untersuchungskriterien abgeleitet. Anschließend wurden anhand öffentlich verfügbarer Informationen die hardwareseitige Herstellung und Entwicklung von ausgewählten KEK untersucht und Unterscheidungskriterien abgeleitet. In kleinem Umfang wurde zudem eine Untersuchung zu Software-Werkzeugen durchgeführt, die für die Entwicklung von KEK eingesetzt werden können.

Abstract

Complex electronic components (CEC) such as FPGAs and CPLDs are increasingly used in modern instrumentation and control (I&C) systems. To avoid common cause failures, they must also be considered when assessing the diversity of such I&C systems. In order to make this possible, diversity attributes for the evaluation of complex electronic components for safety-relevant applications were developed as part of this project. In a first step, the various types of complex electronic components and the manufacturers who offer such CEC were researched. Furthermore, the existing requirements for CEC in national and international regulations were evaluated and possible investigation criteria derived from them. The hardware-based production and development of selected CEC was then examined based on publicly available information and differentiation criteria were derived. A small-scale study was also carried out on software tools that can be used for the development of CEC.

Inhaltsverzeichnis

1	Einleitung	1
2	Anforderungen an komplexe elektronische Komponenten	3
2.1	Bewertung der Relevanz der Anforderungen für die weiteren Arbeiten	11
3	Auswahl der zu betrachtenden KEK.....	15
3.1	KEK-Hersteller	15
3.2	Einsatz von KEK in Kernkraftwerken.....	21
3.3	KEK-Auswahl.....	23
4	Hardware-Aspekte von KEK.....	25
4.1	Herstellung	25
4.1.1	Herstellung von Ingots und Wafern.....	26
4.1.2	Front-End- und Back-End-Fertigung	26
4.1.3	Untersuchungen zur Ableitung von Unterscheidungskriterien	29
4.2	Aufbau von KEK	34
4.2.1	Grundsätzlicher Aufbau und Architektur von KEK.....	34
4.2.1.3	Ableitung von Unterscheidungskriterien aufgrund des grundsätzlichen Aufbaus und der Architektur	37
4.2.2	Logikblöcke.....	42
4.2.3	Input/Output-Blöcke	43
4.2.4	Speicher	46
4.2.5	Takt	50
4.2.5.1	Ableitung von Unterscheidungskriterien aufgrund der Art des Taktmanagements	52
4.3	Charakteristika von KEK	53
4.3.1	Minimale Strukturgröße.....	53
4.3.2	Komponentendichte	56
4.3.3	Spannungsversorgung.....	60
4.3.4	Temperaturbereich	63
4.3.5	Strahlungsresistenz	66

4.4	Gehäuse.....	67
4.4.1	Ableitung von Unterscheidungskriterien aufgrund von unterschiedlichen Kriterien bei der Auswahl von Gehäusen.....	69
5	Software-Aspekte von KEK.....	75
5.1	Entwicklung von Schaltungen mit KEK	76
5.2	Entwurfsprozess	82
5.3	Werkzeuge	85
5.4	Verwendung von vorgefertigten Hardware-Konfigurationen (IP-Cores)....	92
6	Weiterentwicklung der Diversitätsmatrix zur Diversitätsbewertung von KEK	95
6.1	Aktueller Stand der Diversitätsmatrix	95
6.2	Weiterentwicklung der Diversitätsmatrix	97
6.2.1	Zuordnung zur System- und Komponentenauswahl.....	98
6.2.2	Anwendbarkeit bestehender Diversitätsmerkmale auf KEK	98
6.2.3	Diversitätsmerkmale für die Auswahl von KEK für den Einsatz in sicherheitsrelevanten Leittechniksystemen	99
7	Zusammenfassung	109
A	Anhang: Einsatzorte von KEK in KKW.....	113
B	Anhang: Zulässige Temperaturbereiche der untersuchten KEK.....	119
	Abbildungsverzeichnis.....	123
	Tabellenverzeichnis.....	125
	Abkürzungen.....	127
	Literaturverzeichnis.....	127

1 Einleitung

Seit mehr als zehn Jahren werden zunehmend komplexe elektronische Komponenten in der Leittechnik (z. B. CPLD¹s, FPGA²s) von Kernkraftwerken eingesetzt. Diese haben zwar im Gegensatz zu softwarebasierter Leittechnik bisher nur wenige komplexe Leittechnikfunktionen übernommen, finden jedoch vor allem im internationalen Umfeld immer mehr Einsatz in sicherheitsrelevanten Leittechniksystemen zur Umsetzung komplexer Leittechnikfunktionen.

Komplexe elektronische Komponenten (KEK) umfassen eine große Bandbreite unterschiedlicher Komponententypen auf Basis von integrierten Schaltkreisen (ICs). Diese können sehr unterschiedlich ausgeführt sein und folglich eine unterschiedliche Komplexität aufweisen. Sie können sich von rein hardwarebasierten, nicht programmierbaren Logikbausteinen bis hin zu Bausteinen mit Speicherzellen oder programmierbaren Bausteinen mit Mikroprozessoren erstrecken. Beispielsweise gibt es KEK in sehr einfacher Ausführung (z. B. programmierbarer Antifuse-FPGA, kein komplexer Aufbau) bis hin zu FPGAs, die als Mikroprozessor-Emulator eingesetzt werden. Deshalb ist es insbesondere bei Diversitätsbetrachtungen nicht mehr ausreichend, zwischen CPLDs und FPGAs oder ASIC³s zu unterscheiden, da sich beispielsweise CPLDs und FPGAs je nach Typ nur wenig unterscheiden, aber verschiedene Typen von FPGAs sehr unterschiedlich aufgebaut sein können.

Diversitätsbetrachtungen in der Leittechnik sind insbesondere in Zusammenhang mit Vorkehrungen zur Vermeidung von gemeinsam verursachten Ausfällen (GVA) in der Leittechnik relevant. Um Diversitätsbetrachtungen auch für komplexe elektronische Komponenten durchführen zu können wurden daher im Rahmen dieses Vorhabens Diversitätsmerkmale für die Bewertung komplexer elektronischer Komponenten für sicherheitstechnisch wichtige Anwendungen erarbeitet. In einem ersten Schritt wurde eine Recherche der verschiedenen Typen komplexer elektronischer Komponenten und der Hersteller, die solche KEK anbieten, durchgeführt. Des Weiteren wurden in nationalen und internationalen Regelwerken die bereits vorhandenen Anforderungen an KEK

¹ CPLD: Complex Programmable Logic Device

² FPGA: Field Programmable Gate Array

³ ASIC: Application Specific Integrated Circuit

recherchiert und daraus mögliche Untersuchungskriterien abgeleitet. Anschließend wurden anhand öffentlich verfügbarer Informationen die hardwareseitige Herstellung und Entwicklung von ausgewählten KEK untersucht und Unterscheidungskriterien abgeleitet. In kleinem Umfang wurde zudem eine Untersuchung zu Software-Werkzeugen durchgeführt, die für die Entwicklung von KEK eingesetzt werden können.

Aufbauend auf den Arbeitsergebnissen dieses Vorhabens wurde die im Vorhaben 3611R01355 „Aufstellung von Kriterien und Kenngrößen zur deterministischen Prüfung der Eignung von Redesign-Komponenten für den Einsatz in der Sicherheitsleittechnik von Kernkraftwerken“ /GRS 15a/ entwickelte Diversitätsmatrix für die Auswahl von KEK weiterentwickelt und angepasst.

In Kapitel 2 wird zunächst auf die Recherche von Anforderungen in nationalen und internationalen Regelwerken eingegangen und die möglichen Untersuchungskriterien dargestellt. In Kapitel 3 wird dann die Auswahl der Hersteller und der von ihnen angebotenen KEK beschrieben. In Kapitel 4 werden die verschiedenen Hardware-Aspekte und in Kapitel 5 die verschiedenen Aspekte zu Software-Werkzeugen von KEK dargestellt. In Kapitel 6 werden abschließend die Diversitätsmerkmale, die sich aus den in Kapitel 3-5 ergebenden Untersuchungen ergeben haben, beschrieben und die Weiterentwicklung der Diversitätsmatrix dargestellt.

In diesem Bericht wird immer von KEK gesprochen, wenn die Ausführungen sowohl auf FPGAs als auch auf CPLDs zutreffen. Treffen die Ausführungen aufgrund der unterschiedlichen zugrunde liegenden Technologien nur auf eine der beiden Komponententypen zu, wird auch nur diese Komponente genannt. Bei grundlegenden Erläuterungen wird auch der Begriff „Chip“ verwendet. Hierunter wird in diesem Vorhaben der reine Wafer verstanden, auf dem eine integrierte Schaltung im Sinne der KEK implementiert wurde, der jedoch nicht von einem Gehäuse umschlossen ist.

Im Rahmen dieses Vorhabens werden diese Begriffe daher wie folgt unterschieden:

- Chip: Wafer mit integrierter Schaltung ohne Gehäuse, allgemeine Ausführungen
- KEK: Chip in Gehäuse, gilt für FPGA und CPLD

2 Anforderungen an komplexe elektronische Komponenten

Im Rahmen des Projekts wurden verschiedene nationale und internationale kerntechnische Normen und Standards gesichtet und in Hinblick auf Anforderungen an die Auswahl von KEK ausgewertet. Darüber hinaus wurden Hinweise und Empfehlungen dahingehend ausgewertet, ob sie bei der Auswahl von KEK angewandt werden können. Solche Hinweise oder Empfehlungen zielen meistens darauf ab, auf bestimmte Verhaltensweisen oder Probleme aufgrund ungünstiger Konfiguration hinzuweisen, damit diese möglichst vermieden werden. Hierzu zählt beispielsweise das Auftreten von Überströmen beim Hochfahren oder unterschiedliches Rauschverhalten, das zu Störungen führen kann. Diese Hinweise können demnach nicht direkt als Unterscheidungskriterium eingesetzt werden, sie können aber einen Hinweis auf relevante Aspekte geben, die im Rahmen der Diversitätsbetrachtung berücksichtigt werden sollten.

Bereits in /GRS 16/ wurden nationale und internationale Normen und Standards mit Anforderungen an Software in softwarebasierten und programmierbaren Leittechniksystemen beschrieben. Einige der dort genannten Normen und Standards finden auch für KEK Anwendung. Darüber hinaus gibt es einige Standards und Normen, die sich explizit mit der Anwendung von KEK in softwarebasierten und programmierbaren Leittechniksystemen befassen. Folgende Normen und Standards wurden im Rahmen dieses Projekts unter dem Aspekt der KEK-Auswahl untersucht:

- Sicherheitsanforderungen an Kernkraftwerke und ihre Interpretationen,
- KTA 3501: Reaktorschutzsystem und Überwachungseinrichtungen des Sicherheitssystems /KTA 31/,
- KTA 3503, 3505: Typprüfung von elektrischen Baugruppen, Messwertgebern und Messumformern der Sicherheitsleittechnik /KTA 33/, /KTA 35/,
- VDI/VDE 3528: Anforderungen an Serienprodukte und Kriterien für deren Einsatz in der Sicherheitsleittechnik in Kernkraftwerken /VDI 11/,
- DIN-Normen aus der Serie „Kernkraftwerke – Leittechnik für Systeme mit sicherheitstechnischer Bedeutung“:
 - DIN IEC 61513: Allgemeine Systemanforderungen /DIN 13/,

- DIN EN 62566: Entwicklung HDL-programmierter integrierter Schaltkreise für Systeme, die Funktionen der Kategorie A ausführen /DIN 15/,
 - DIN EN 60880: Softwareaspekte für rechnerbasierte Systeme zur Realisierung von Funktionen der Kategorie A /DIN 10a/,
 - DIN EN 60987: Anforderungen an die Hardware-Auslegung rechnerbasierter Systeme /DIN 10b/,
 - DIN EN 62138: Softwareaspekte für rechnerbasierte Systeme zur Realisierung von Funktionen der Kategorien B oder C /DIN 10c/,
 - Entwurf DIN IEC 62566-2: Entwicklung HDL-programmierter integrierter Schaltkreise für Systeme, die Funktionen der Kategorie B und C ausführen /DIN 17/,
- IAEA NP-T 3.17, 2016: Application of FPGAs in Instrumentation and Control Systems of Nuclear Power Plants /IAE 16/,
 - NRC NUREG/CR-7006, 2010: Review Guidelines for FPGAs in Nuclear Power Plant Safety Systems /NRC 10/,
 - EPRI 1019181, 2009: Guidelines for the Use of FPGAs in Nuclear Power Plant Instrumentation and Control Systems /EPR 09/,
 - EPRI TR 1022983, 2011: Recommended Approaches and Design Criteria for Application of FPGAs in Nuclear Power Plant Instrumentation and Control Systems /EPR 11/.

Standards und Normen, die für den Einsatz von KEK in softwarebasierten und programmierbaren Leittechniksystemen ebenfalls eine Rolle spielen können, aber keine Anforderungen an die Auswahl von KEK stellen, wurden nicht vertieft untersucht.

Auch gibt es eine große Anzahl an Normen aus dem konventionellen Bereich mit Anforderungen an Halbleiterbausteine und ICs. Hierzu zählen beispielsweise:

Allgemein

- IEC 61508, Funktionale Sicherheit,
- DIN EN 61000, Elektromagnetische Verträglichkeit,
- IEC 61131, Speicherprogrammierbarer Steuerungen,

- DIN EN 190000, 1996, Fachgrundspezifikation: Monolithisch integrierte Schaltungen,
- BS IEC 60748, 2002 (neueste Teile von 2008, älteste Teile von 1986) Semiconductor Devices – Integrated Circuits – Digital ICs,
- DIN EN 61709, Electric components – reliability – reference conditions for failure rates and stress models for conversion,
- IEEE Std 1149.1-2013, Test Access Port and Boundary-Scan Architecture,
- IEEE 1364-2005, Verilog,
- IEEE 1800-2012, SystemVerilog,
- IEEE 1076-2008, VHDL,
- IEEE NF-C82-101-1, Entwurfsautomatisierung bei der Entwicklung: Teil 1: Handbuch zu VHDL,
- IEEE 1532-2002, Standard for In System Configuration of Programmable devices.

Automobilindustrie

- AEC Q-100, Failure Mechanism Based Stress Test Qualification for ICs
- ISO 26262, Funktionale Sicherheit - Straßenfahrzeuge

Luftfahrt und Militär

- DOT/FAA/AR-95/31, 1996, Design, Test and Certification Issues for Complex Integrated Circuits,
- RTCA DO-254, Design Assurance Guidance for Airborne Electronic Hardware,
- MILD-STD-883E, 1996, Test Method Standard Microcircuits,
- MIL-PRF-19500, General Specification for Semiconductor Devices,
- MIL-PRF-38534, General Specification for Hybrid Microcircuits,
- MIL-PRF-38535, General Specification for Integrated Circuits Manufacturing,
- JOTP-051, 2012, Technical Manual for the use of logic devices in safety features.

Im Folgenden werden tabellarisch (Tab. 2.1 bis Tab. 2.5) die Anforderungen, Hinweise und Empfehlungen aufgeführt, die möglicherweise auf die Auswahl von KEK anwendbar sind und für die Bestimmung von Unterscheidungskriterien relevant sein können.

Allgemein an rechnerbasierte und programmierbare Leittechnik gestellte Anforderungen wie beispielsweise die Forderungen der Sicherheitsanforderungen an Kernkraftwerke nach Redundanz, Diversität, Einsatz fehlervermeidender, fehlerentdeckender und fehlerbeherrschender Maßnahmen /BMU 12/ werden hier nicht aufgeführt. In einem ersten Schritt wurden die nationalen kerntechnischen Normen gesichtet. Basierend auf den Ergebnissen dieser Arbeit wurden die oben aufgeführten internationalen nuklearen und konventionellen Normen dahingehend untersucht, inwieweit über das nationale Regelwerk hinaus Anforderungen an die KEK-Auswahl bestehen. Die Anforderungen sind in den nachfolgenden Tabellen thematisch sortiert. Es wird jeweils die Anforderung sowie die Quelle dieser Anforderung aufgeführt.

Tab. 2.1 Allgemeine Anforderungen

Allgemeines	
Anforderung	Norm/Standard
<ul style="list-style-type: none"> • Allgemeine Qualitätsmanagement-Maßnahmen des Herstellers (Nachweis: Zertifizierung nach ISO-9000-Normenreihe). • Für das Produkt konkret festgelegte und dokumentierte Qualitätsmanagement-Maßnahmen (z. B. DIN 61508, 60880, 62138). 	VDI/VDE 3528
<ul style="list-style-type: none"> • Dissimilare leittechnische Einrichtungen unterscheiden sich hinsichtlich <ul style="list-style-type: none"> – Hardware, – Software, – Entwicklungswerkzeugen, Entwicklungsteams, – Fertigung, – Test und Instandhaltung derart, dass kein systematischer Ausfall zu unterstellen ist. 	Interpretationen der SiAnf

Tab. 2.2 Anforderungen an Dokumentation und Robustheit im Sinne der NUREG/CR 7006

Dokumentation	
Anforderung	Norm/Standard
<ul style="list-style-type: none"> • Datenblätter der programmierbaren Bauelemente inkl. datentechnischer Anschlüsse sind vorzulegen. • Datenblätter müssen alle Daten einschließlich zulässiger Bereiche und Toleranzen enthalten, die die Baugruppe kennzeichnen. Hierzu zählen z. B.: Ein- und Ausgangsgrößen, Hilfsenergie, Umgebungsbedingungen, Übertragungsverhalten, elektrische Eigenschaften, elektromagnetische Verträglichkeit, Bearbeitungszeiten, Zykluszeiten, Schnittstellen, Kommunikationsprotokolle. • Annahmen bzgl. der Umgebung müssen spezifiziert sein • Aufführen der Hard- und Softwarekomponenten sowie der zugehörigen Werkzeuge mit Angabe der Ausgabestände • Ausfallraten und Ausfalleffekte sollen angegeben werden. • Normale und extreme Bereiche der Umgebungsbedingungen, in denen das System arbeiten soll, müssen in Übereinstimmung mit den durch den Rahmen der Anlagenauslegung gegebenen Randbedingungen spezifiziert werden. 	<p>KTA 3503, 3505 DIN IEC 61513 DIN EN 62566</p>
Aspekte der Robustheit	
Anforderung	Norm/Standard
<ul style="list-style-type: none"> • Timing Performance • Maßnahmen zum Schutz vor Single Event Upsets (SEU) • Programmier-/Löschzyklen • Vermeidung von bleifreien Zinntteilen und Leiterplatten, um Zinn-Whisker zu vermeiden (relevant bei hoher Pin-Zahl und kleinem Abstand bestimmter Gehäusetypen) 	<p>NUREG/CR-7006</p>

Tab. 2.3 Anforderungen an externe Einflüsse und die Hardware-Auslegung

Externe Einflüsse	
Anforderung	Norm/Standard
<ul style="list-style-type: none"> • Anpassung an mögliche Umgebungsbedingungen. • Informationen zu normalen und extremen Umgebungsbedingungen, für die KEK noch ausgelegt sind <ul style="list-style-type: none"> – Temperatur, Feuchte, Druck, Strahlung, elektromagnetische Beeinflussung, – physikalische Einschränkungen, seismische, chemische Bedingungen. • Prüfungen zum Nachweis von Qualitätseigenschaften wie Beständigkeit gegen spezifizierte Umgebungsbedingungen. 	SiAnf VDI/VDE 3528 DIN IEC 61513 DIN EN 60987
Hardware-Auslegung	
Anforderung	Norm/Standard
<ul style="list-style-type: none"> • Deterministische Auslegung (Eingangssequenz erzeugt immer gleiche Ausgaben, wobei elektronisches Rauschen und Digitalisierungsfehler bei ADC⁴s keine Verletzung darstellen). • Streng synchrone Auslegung gefordert, Nichtübereinstimmung muss gerechtfertigt werden. • Auslegungssegmentierung: physikalisch unterschiedliche Flächen des ICs können so verwendet werden, dass miteinander nur minimale oder gar keine Verbindungen vorgesehen sind und keine gemeinsamen Hardware-Ressourcen genutzt werden. Einige KEK unterstützen solche Flächen (Seen) durch Vorsehen unbenutzter/unbenutzbarer Zwischenräume. • Nutzung zur Implementierung von Hilfs- oder Unterstützungsfunktionen, ohne Wechselwirkung mit Kategorie A Funktion. 	DIN EN 62566

⁴ ADC: Analog Digital Converter

Tab. 2.4 Anforderungen an Zusammenwirken mit externen Schaltkreisen und an Leistungsfähigkeit der Hardware

Hinweise für den Einsatz und das Zusammenwirken mit externen Schaltkreisen	
Anforderung	Norm/Standard
<ul style="list-style-type: none"> • Verschiedene Spannungsversorgungen im FPGA gefordert, ggf. Spannungssequenzierung⁵ notwendig. • Spannungsregler können Überströme beim Hochfahren hervorrufen • Zeitverhalten nur für gegebenen Sperrschichttemperaturbereich („junction temperature“) gewährleistet. • Programmierpins können Ursache für Störungen („Noise“) sein, entsprechende Störspannungen können Konfigurationsspeicher ändern oder löschen • Eingesetzte I/O⁶-Standards sollten mit externem Schaltkreis kompatibel sein 	<p>NUREG/CR-7006</p>
Auswahlkriterien durch Anforderungen an Leistungsfähigkeit der Hardware	
Anforderung	Norm/Standard
<ul style="list-style-type: none"> • Datenerfassungsrate, Fähigkeiten zur Datenverarbeitung • Rechenkapazität • Kommunikationsschnittstellen (Protokolle, Übertragungsgeschwindigkeiten) • Fähigkeit zur Störsignal-Unterdrückung („Noise“) • Ansprechzeiten • Physikalische Größenbeschränkungen • Anforderungen an die elektrische Energieversorgung • Komponentendichte • Geschwindigkeit, Leistungsverbrauch • Routing-Möglichkeiten 	<p>DIN EN 60987 EPRI 1019181</p>

⁵ Sequenzierung: Steuerung der Reihenfolge und ggf. der Anstiegszeit der Spannungsversorgungen, wenn mehr als eine Spannungsversorgung eingesetzt wird.

⁶ I/O: Input/Output

Tab. 2.5 Auswahlkriterien durch Anforderungen an Leistungsfähigkeit der Hardware

Auswahlkriterien für KEK ⁷	
Anforderung	Norm/Standard
<ul style="list-style-type: none"> • FPGA-Verkäufer/Hersteller, FPGA-Familien • Hergestellt in verschiedenen Fabriken • Programmierertechnologie: SRAM⁸, Flash, EEPROM⁹, Antifuse • Typen von CLB¹⁰: LUT¹¹ oder Multiplexer • Chipgröße • Strukturgröße • Architektur • Eingebettete Funktionalität • Ausfallraten • Komplexität • Einfache soft IP¹²-Cores, untersch. Bibliotheken für IP-Cores • Unterschiedliche Programmiersprachen • Software-Werkzeuge • Dauer des Supports durch Verkäufer • Betriebserfahrung 	<p>IAEA NP-T 3.17</p> <p>EPRI 1019181</p> <p>EPRI 1022983</p>

⁷ Die referenzierten Dokumente beziehen sich ausschließlich auf FPGAs. Die enthaltenen Aspekte können jedoch auch für CPLDs untersucht werden.

⁸ SRAM: Static Random Access Memory

⁹ EEPROM: Electrically Erasable Programmable Read Only Memory

¹⁰ CLB: Configurable Logic Block

¹¹ LUT: Lookup Table

¹² Intellectual Property

2.2 Bewertung der Relevanz der Anforderungen für die weiteren Arbeiten

Im Rahmen der Auswertung von Anforderungen an KEK haben sich einige der im letzten Abschnitt dargestellten Aspekte als potenziell relevant für die Ableitung von Unterscheidungskriterien für die Auswahl von KEK herausgestellt. Bei der Bewertung der ermittelten Anforderungen wurde betrachtet, inwieweit eine Anforderung tatsächlich einen Beitrag zur Unterscheidung von KEK liefern kann. Auf die Bewertung wird im Folgenden themenspezifisch eingegangen.

Allgemeines

- Die Forderung nach allgemeinen und spezifischen Zertifikaten für die Qualitätssicherung wurde dazu genutzt, Hersteller auszuwählen. Es gibt eine große Zahl an KEK-Herstellern. Oftmals handelt es sich entweder um kleine Hersteller von Produkten mit sehr eingeschränktem Anwendungsbereich oder um größere Hersteller, die aber keine KEK für sicherheitsrelevante Anwendungen anbieten. In einem ersten Schritt wurde daher geprüft, ob die Hersteller Angaben zu Zertifikaten machen, die auf die Anwendung der ISO-9000-Normenreihe oder spezifischer Normen wie DIN 61508 hinweisen.
- Die Forderung nach dissimilarer Leittechnik in Hinblick auf Hardware, Software, Werkzeugen, Teams, Fertigung, Test und Instandhaltung hat erste Hinweise für Untersuchungsaspekte ergeben.

Dokumentation

- Es werden Datenblätter gefordert, die bestimmte Informationen enthalten sollen. Diese Anforderung konnte nicht weiter für die Untersuchung der KEK verwendet werden, da für alle ausgewählten KEK auch Datenblätter verfügbar und die geforderten Informationen in allen Datenblättern vorhanden waren.

Aspekte der Robustheit im Sinne der NUREG/CR 7006

- Informationen zu diesen Aspekten wurden untersucht. Da es sich aber um Anforderungen handelt, die entweder grundsätzlich erfüllt sein müssen oder erst im späteren Entwicklungsprozess festgelegt werden können, wurden diese Aspekte bei der Auswahl und Untersuchung der KEK nicht vertieft betrachtet.

Externe Einflüsse

- Bei den Anforderungen zu externen Einflüssen handelt es sich entweder um grundsätzliche Anforderungen an die Komponente oder an die Dokumentation. Es ergaben sich hieraus demnach keine weiteren Untersuchungsmerkmale.

Hardware-Auslegung

- Bei diesen Aspekten handelt es sich um Anforderungen, die erst bei der Entwicklung der KEK eine Rolle spielen. Es ergaben sich hieraus demnach keine weiteren Untersuchungsmerkmale.

Anforderungen an die Leistungsfähigkeit der Hardware

- Bei diesen Aspekten handelt es sich um Anforderungen, die erst bei der Entwicklung der KEK eine Rolle spielen. Aus dieser Kategorie wurde lediglich der Aspekt der Komponentendichte vertieft untersucht.

Auswahlkriterien für KEK

- Die meisten der hier genannten Aspekte wurden für die Ableitung von Unterscheidungskriterien vertieft untersucht.

Hinweise für den Einsatz und das Zusammenwirken mit externen Schaltkreisen

- Hier sind einige Empfehlungen enthalten, die erst bei der Entwicklung von KEK oder von Baugruppen mit KEK eine Rolle spielen. Basierend auf diesen Empfehlungen wurde jedoch im Rahmen der Untersuchung analysiert, welche Spannungen typischerweise an KEK eingesetzt werden, welche KEK über JTAG¹³-Pins verfügen und welche I/O-Standards verwendet werden können.

Schlussendlich wurden die folgenden Aspekte, die sich aus den genannten Anforderungen ergeben, in Hinblick auf Unterscheidungskriterien bei der Auswahl von KEK weiter untersucht:

- KEK-Verkäufer/Hersteller,
- KEK-Familien,
- Hardware- und Software-Aspekte von KEK,

¹³ JTAG: Joint Test Action Group: Synonym, das für den IEEE-Standard 1149.1 verwendet wird, der eine Methodik für das Testen und die Fehlersuche von ICs beschreibt. Diese Tests werden durch Aktivierung der entsprechenden Funktionen mittels speziellem JTAG-Pin am IC ermöglicht.

- Entwicklungswerkzeuge,
- Art und Ort der Herstellung von KEK,
- Architektur,
- Aufbau der eingesetzten Logikblöcke (CLB-Typen),
- Ein- und Ausgangsanschlüsse und -Signale,
- Speichertechnologie,
- Taktverhalten,
- Komponentendichte,
- Strukturgröße,
- Komplexität,
- Spannungsversorgung von KEK,
- Erlaubte Temperaturbereiche,
- Strahlungsresistenz und
- Gehäusearten.

3 Auswahl der zu betrachtenden KEK

Es gibt eine Vielzahl unterschiedlicher KEK. Neben großen marktführenden Herstellern gibt es unzählige kleine Hersteller, die sich auf ganz bestimmte Anwendungen bei der Entwicklung ihrer KEK spezialisiert haben. Aufgrund der hohen Anforderungen an die Sicherheit von Kernkraftwerken und den daraus resultierenden Anforderungen an Hersteller von Komponenten, die im nuklearen Sektor eingesetzt werden sollen, eignen sich nicht alle dieser Hersteller als potentielle Lieferanten von KEK.

Um herauszufinden, welche KEK für vertiefte Untersuchungen im Rahmen dieses Vorhabens geeignet sind, wurde in einem ersten Schritt ermittelt, welche KEK-Hersteller es gibt und eine Auswahl an KEK-Herstellern getroffen, deren KEK weiter untersucht werden sollten (Kap. 3.1). Anschließend wurde untersucht, welche KEK von welchen Herstellern in Kernkraftwerken bereits zum Einsatz kommen (Kap. 3.2). Basierend auf diesen Erkenntnissen wurden die KEK ausgesucht, die für vertiefte Untersuchungen im Rahmen dieses Vorhabens herangezogen wurden (Kap. 3.3).

3.1 KEK-Hersteller

Für die Ermittlung von für dieses Vorhaben relevanten KEK-Herstellern wurde zunächst untersucht, wer die derzeitigen Marktführer sind. Dabei wurde festgestellt, dass deutlich mehr FPGAs als CPLDs auf dem Markt angeboten werden. Eine Tabelle der umsatzstärksten FPGA-Hersteller ist in Tab. 3.1 dargestellt.

Marktführer für die Herstellung von KEK sind demnach die Firmen Xilinx und Intel/Altera. Sie bieten für unterschiedliche Anwendungen verschiedene KEK an. In den letzten Jahren haben diese beiden Hersteller 89 % bzw. 87 % des Markts abgedeckt. Weitere namhafte Hersteller sind die Firmen Microsemi, Lattice Semiconductor und Quicklogic. Darüber hinaus gibt es eine Reihe kleinerer Hersteller, deren Marktanteil jedoch vernachlässigbar ist.

Einige KEK-Hersteller wurden mit der Zeit von anderen KEK-Herstellern oder Halbleiter-Hersteller übernommen. In Tab. 3.2 sind einige der recherchierten Hersteller mit Angabe ihres Hauptsitzes und ihres Gründungsdatums aufgeführt.

Tab. 3.1 Umsatz der Hersteller von KEK im Marktvergleich /EET 17/, /BLA 19/

Hersteller	Umsatz 2015		Umsatz 2016		Umsatz 2017		Umsatz 2018	
	Mio \$	%	Mio \$	%	Mio \$	%	Mio \$	%
Xilinx	2.044	53	2.167	53	2.476	50	2.904	51
Intel/Altera	1.389	36	1.486	36	1.858	37	2.033	36
Microsemi	301	8	297	7	321	7	376	7
Lattice	124	3	144	3	261	5	285	5
Quicklogic	19	0	11	0	n/a ¹⁴	n/a	n/a	n/a
Andere	2	0	2	0	71	1%	85	1%
Gesamt	3.879	100%	4.112	100%	4.987	100%	5.683	100%

Tab. 3.2 Übersicht ausgewählter KEK-Hersteller

Hersteller	Gründung	(Haupt-)Sitz	Bemerkung
Cobham	1934	Dorset, Großbritannien	
Aeroflex	1937-2014	New York, USA	2014: Übernahme durch Cobham
Microsemi	1959-2018	Kalifornien, USA	2018: Übernahme durch Microchip
Intel	1968	Kalifornien, USA	
Altera	1983-2015	San Jose, USA	2015: Übernahme durch Intel
Lattice Semi-conductor	1983	Portland, USA	
Atmel	1984-2016	San Jose, USA	2016: Übernahme durch Microchip
Xilinx	1984	San Jose, USA	
Actel	1985-2010	Mountain View, USA	2010: Übernahme durch Microsemi
QuickLogic	1988	Kalifornien, USA	
Microchip	1989	Arizona, USA	
Achronix Semiconductor	2004	Kalifornien, USA	
SiliconBlue	2005-2011	Santa Clara, USA	2011: Übernahme durch Lattice Semiconductor

¹⁴ n/a: Informationen sind nicht verfügbar.

Darüber hinaus ist vermerkt, welcher Hersteller zu welchem Zeitpunkt und von wem übernommen wurde. Durch die Übernahme mancher Hersteller verbleiben von den 13 in Betracht gezogenen Herstellern acht Hersteller für die weitere Recherche. Da die Übernahme der Firma Microsemi erst 2018 erfolgte und auch bis zum Ende des Vorhabens die Informationen noch weitgehend unabhängig von der Firma Microchip zu finden sind, wurden die Firmen Microchip und Microsemi im Rahmen dieses Vorhabens weiterhin als unabhängige Firmen betrachtet.

Im Rahmen der durchgeführten Recherche zu relevanten Herstellern wurde der Fokus auf die marktführenden Hersteller sowie auf die Hersteller gelegt, die KEK für sicherheitsrelevante Aufgaben anbieten. Kleinere Hersteller, die sich auf Alltagsanwendungen spezialisiert haben und keine Komponenten für sicherheitsrelevante Anwendungen anbieten, wurden nicht weiter berücksichtigt, da sie für den Einsatz in Kernkraftwerken nicht in Frage kommen.

Die sicherheitsrelevanten Anwendungsfelder ausgewählten KEK-Hersteller sind in Tab. 3.3 aufgeführt. Als sicherheitsrelevante Anwendungen wurden die Bereiche Automobilindustrie, Luftfahrt, Raumfahrt, Militär und Medizin eingeschätzt.

Tab. 3.3 Anwendungsgebiete von Produkten der betrachteten Hersteller

Hersteller	Anwendungsgebiete
Xilinx	Raumfahrt, Militär, Automobilindustrie, Medizin
Altera/Intel	Luftfahrt, Militär, Automobilindustrie, Medizin
Actel/Microsemi	Raumfahrt, Luftfahrt, Militär, Automobilindustrie, Medizin
Aeroflex/Cobham	Raumfahrt, Luftfahrt, Militär, Medizin Strahlungsresistente FPGAs
SiliconBlue/Lattice Semiconductor	-
Quicklogic	-
Atmel/Microchip	Automobilindustrie
Achronix Semicond.	-

Neben den sicherheitsrelevanten Anwendungen bieten die Hersteller in der Regel KEK für weitere nicht-sicherheitsrelevante Anwendungsfelder an. Hierzu zählen z. B. KEK für vernetzte Haushaltsgeräte, Uhren oder Spielekonsolen sowie für vernetzte Komponenten-

ten für die industrielle Anwendung (beispielsweise Sensoren, Messgeräte, etc.). Diese Anwendungen wurden im Rahmen dieses Vorhabens nicht weiter betrachtet.

Vier der acht betrachteten Hersteller bieten Komponenten für den Automobilindustriebereich an. Komponenten für Luftfahrt, Raumfahrt und militärische Anwendungen werden von drei Herstellern angeboten.

Vor allem die Firma Aeroflex/Cobham hat sich auf Anwendungen im Umfeld von erhöhter Strahlung spezialisiert. Vier Hersteller bieten Komponenten für den medizinischen Bereich an. Die Firmen Quicklogic und Achronix Semiconductor bieten keine Komponenten in den als sicherheitsrelevante Anwendung eingestuften Bereichen an.

Entsprechend den im letzten Kapitel untersuchten Anforderungen an die Auswahl von KEK müssen die Hersteller sowohl allgemeine als auch spezifische Normen zur Qualitätssicherung erfüllen und anwenden. Daher wurde zusätzlich zu der Fragestellung, ob Produkte für sicherheitsrelevante Anwendungen angeboten werden, untersucht, welche Zertifikate zu Standards und Normen die Hersteller auf ihren Webseiten angeben.

In Tab. 3.4 sind die dort jeweils genannten Standards und Normen aufgelistet. Aus der Tabelle wird ersichtlich, dass sieben der acht betrachteten Hersteller nach ISO 9001 zertifiziert sind. Hierbei handelt es sich um eine grundsätzliche Qualitätsmanagement-Norm, nach deren Qualitätsstandards diese Hersteller arbeiten.

Darüber hinaus sind vier Hersteller nach ISO 14000 bzw. ISO 140001 zertifiziert. Hierbei handelt es sich um eine Umweltmanagementnorm, die weltweit anerkannte Anforderungen an ein Umweltmanagementsystem festlegt. Bei AS 9100 handelt es sich um eine internationale Norm zu Anforderungen an ein Qualitätsmanagementsystem für die Luft- und Raumfahrtindustrie sowie für militärische Bereiche. Sie basiert auf ISO 9001. In TS 16949 werden besondere Anforderungen an ein Qualitätsmanagementsystem in der Automobilindustrie gestellt.

Drei Hersteller geben an, dass sie für bestimmte KEK Werkzeuge und IP-Cores anbieten, die die Entwicklung von sicherheitsrelevanten Anwendungen nach DIN IEC 61508 zu funktionaler Sicherheit unterstützen. Darüber hinaus bieten zwei dieser drei Hersteller auch unterstützende Werkzeuge und IP-Cores für manche KEK an, die für sicherheitsrelevante Anwendungen nach ISO 26262 für die funktionale Sicherheit in der Automobilindustrie konfiguriert werden sollen. Bei AEC Q100 handelt es sich um einen

internationalen Standard zur Stress Test Qualifizierung von integrierten Schaltkreisen, die vor allem in der Automobilindustrie zum Einsatz kommt. Diesen Standard erfüllen nach eigenen Angaben ebenfalls drei Hersteller.

Tab. 3.4 Herstellerangaben zu sicherheitsrelevanten Normen und entsprechender Zertifizierung

Hersteller	QM ¹⁵	Funktionale Sicherheit	Automobil-industrie	Militär	Luftfahrt
Intel/ Altera	ISO 9001, ISO 14000, TS 16949	IEC 61508	AEC-Q100, ISO 26262 ¹⁶	-	-
Xilinx	ISO 9001, TS 16949	IEC 61508		MIL-PRF-38535	DO-178, DO-254
Microsemi/ Actel	ISO 9001, ISO 14001, AS9100	-	AEC-Q100	MIL-PRF-19500, MIL-PRF-38534, MIL-PRF-38535, MIL-STD-790, MIL-STD-883	-
Lattice Semi	ISO 9001, ISO 14001, TS 16949	IEC 61508	AEC-Q100 ISO 26262 ¹⁷	MIL-PRF-38535, MIL-STD-883 Class B ¹⁷	-
Quicklogic	ISO 9001	-	-	-	-
Aeroflex/ Cobham	ISO 9001, AS9100	-	-	MIL-PRF-38534, MIL-STD-883	-
Microchip/ Atmel	ISO 9001, ISO 14001, ISO 16949	-	-	-	-
Achronix	-	-	-	-	-

¹⁵ QM: Qualitätsmanagement

¹⁶ Gilt nur für eine sehr eingeschränkte Anzahl der Komponenten. Unter anderem nennt Intel, dass der FPGA Cyclone V sowie die Software Intel Quartus Prime, Version 14.1 konform sind mit ISO 26262 /INT 18/.

¹⁷ Gilt nicht für KEK.

Die Firma Xilinx gibt als einziger Hersteller an, IP-Cores anzubieten, die für die Konfiguration von KEK im Rahmen der Entwicklung von Anwendungen, die die Luftfahrt-Standards DO-178 und DO-254 erfüllen müssen, eingesetzt werden können.

Schließlich sind fünf Hersteller nach unterschiedlichen militärischen Standards zertifiziert:

- MIL-PRF-19500: Performance Specification: General Specification for Semiconductor Devices, 2010,
- MIL-PRF-38534: Performance Specification: General Specification for Hybrid Microcircuits, 2010,
- MIL-PRF-38535: Performance Specification: General Specification for IC Manufacturing, 2010,
- MIL-STD-790: Established Reliability and High Reliability Qualified Product List Systems for electrical, electronic and fiber optic parts specifications, 2011 und
- MIL-STD-883: Test Method Standards – Microcircuits, 2013.

In Tab. 3.5 ist die Auswertung der Kriterien zur Auswahl der weiter zu betrachteten KEK-Hersteller dargestellt. Ein x in der 3. Spalte bedeutet, dass der Hersteller KEK für den Einsatz in sicherheitsrelevanten Anwendungen anbietet. Ein x in der 4. Spalte bedeutet, dass der Hersteller Werkzeuge und IP-Cores anbietet, die eine Entwicklung von KEK für sicherheitsrelevante Anwendungen entsprechend der relevanten Normen unterstützen.

Tab. 3.5 Auswertung der Kriterien für die Auswahl von KEK-Herstellern

	Hersteller	Produkte für Sicherheitsrelevante Anwendung	Normen
1	Intel/Altera	x	x
2	Xilinx	x	x
3	Microsemi/Actel	x	x
4	Lattice Semiconductor/SiliconBlue	x	x
5	Microchip/Atmel	x (keine FPGAs, CPLDs)	x
	Aeroflex/Cobham	x (FPGA von Quicklogic)	x
	Quicklogic	-	x
	Achronix Semicond.	-	-

Die Auswertung ergibt, dass die Firmen Quicklogic und Achronix Semiconductor keine Produkte für sicherheitsrelevanten Anwendungen anbieten. Die Firma Quicklogic weist als einzige Norm ISO 9001 aus, nach der sie qualifiziert ist. Darüber hinaus wurde ermittelt, dass die Firma Aeroflex/Cobham lediglich einen FPGA anbietet. Hierbei handelt es sich um eine abgewandelte Variante eines FPGAs der Firma Quicklogic. Diese drei Hersteller werden daher nicht weiter untersucht.

Von den 13 zu Beginn der Recherche ausgewählten KEK-Herstellern bleiben demnach fünf Hersteller, die weiter betrachtet werden.

3.2 Einsatz von KEK in Kernkraftwerken

In deutschen Leistungsreaktoren kommt programmierbare und rechnerbasierte Leittechnik fast ausschließlich in betrieblichen Systemen und in der Sicherheitsleittechnik der Kategorie B vor /GRS 15b/. Nach Kenntnis der GRS wird in einigen deutschen Anlagen eine programmierbare bzw. rechnerbasierte Neutronenflussinstrumentierung eingesetzt, die der Sicherheitsleittechnik der Kategorie A zugeordnet werden kann. KEK können hier im Einsatz sein, da sie oftmals in modernen Sensoren oder Messgeräten verbaut sind, die auch in Kernkraftwerken zum Einsatz kommen können. In solchen Fällen entscheiden jedoch nicht die Kraftwerksbetreiber über den Einsatz bestimmter KEK. Vielmehr tauschen sie in der Regel bestehende Komponenten durch neue Ersatzkomponenten aus, die dann bestimmte Typen von KEK enthalten können. Die Fragestellung dieses Vorhabens lässt sich auf diese Situation nur begrenzt anwenden. Sie spielt bei der Bewertung von Ereignissen mit KEK oder bei der Bewertung von diversitärer Messtechnik eine Rolle. Genaue Informationen zum Einsatz bestimmter KEK in deutschen Anlagen liegen der GRS nicht vor.

International sieht die Situation jedoch anders aus. Neue Kernkraftwerke werden gebaut oder bestehende Kernkraftwerke modernisiert. Hierfür werden anstelle von analoger Leittechnik softwarebasierte und programmierbare Sicherheitsleittechnikssysteme mit redundanter und diversitärer Infrastruktur entwickelt und eingebaut. In /MEN 15/, /EPR 09/ und /EPR 11/ werden verschiedene Projekte zur Entwicklung softwarebasierter und programmierbarer Leittechnik für Kernkraftwerke beschrieben. Dort werden zum Teil auch konkrete Angaben gemacht, welche FPGAs konkret zum Einsatz kommen. Die Auswertung dieser Berichte ergibt den Einsatz der in Tab. 3.6 aufgeführten KEK in den

verschiedenen in Kernkraftwerken verbauten softwarebasierten und programmierbaren Leittechniksystemen. Weitere Details finden sich in Anhang A.

Tab. 3.6 In Kernkraftwerken eingesetzte KEK /MEN 15/, /EPR 09/, /EPR 11/

Anlage	Hersteller des Leittechniksystems	KEK-Hersteller	KEK
Wolf Creek, Diablo Canyon, AP 1000 (Vogtle, VC Summer), USA	CS-Innovations, Westinghouse	Microsemi/ Actel	ProASIC APA600-BG4561
Lungmen, Taiwan	Westinghouse	Microsemi/ Actel	Smartfusion (SoC mit ProASIC3 FPGA)
Temelin, Tschechien	Westinghouse	Microsemi/ Actel	A14100A
South Texas, USA ABWR, Japan	Toshiba	Microsemi/ Actel	SX-A: A54SX72A, A54SX32A (Antifuse)
Darlington, Canada	Radiy	Altera Xilinx	KEK mit SRAM-Speicher Virtex 5
Kozloduy 5+6, Bulgarien	Radiy	Altera Microsemi/ Actel	Cyclone (SRAM) ProASIC3 (Flash)
EDF 900er Serie (34 Anlagen), Frankreich	Rolls Royce Civil nuclear	Microsemi/ Actel	A3P1000 (Flash)

Aus der Tabelle wird ersichtlich, dass drei der fünf im letzten Abschnitt ausgewählten KEK-Hersteller in verschiedenen Leittechniksystemen von Kernkraftwerken eingesetzt werden.

Neben den eingesetzten KEK wurde auch untersucht, welche Software-Werkzeuge sich laut den genannten Berichten bei verschiedenen Kernkraftwerken im Einsatz befinden. Das Ergebnis ist in Tab. 3.7 aufgeführt. Sofern auch hier nicht bereits neuere Versionen oder Werkzeuge von den Herstellern angeboten werden, werden diese in Kap. 1 weiter untersucht.

Tab. 3.7 Eingesetzte Software-Werkzeuge bei der Entwicklung softwarebasierter und programmierbarer Leittechnikplattformen für KKW

Anlage	Werkzeuge
South Texas, USA	Actel IDE (Netlist viewer, Place + Route, Static timing Analyzer) Silicon Sculptor II (Actel) Synplify tool (Synplicity) ModelSim (Mentor Graphics) Pinport (SynaptiCAD)
EDF 900er Serie, Frankreich	Designer Tool from Actel ModelSim (Mentor Graphics)
EDF 1300er Serie, Frankreich	Mentor Graphics HDL Designer verification tool
ABWR Japan	ACTEL Integrated Development Environment IDE Silicon Sculptor II (Actel) Synplify tool (Synplicity) ModelSim (Mentor Graphics) Pinport (SynaptiCAD)
Kozloduy 5+6, Bulgarien	Altera Quartus IDE Actel Libero IDE

3.3 KEK-Auswahl

Die Analyse der in Leittechniksystemen von Kernkraftwerken eingesetzten KEK hat gezeigt, dass sich die in Kap. 3.2 beschriebenen, im internationalen Umfeld in Kernkraftwerken eingesetzten KEK-Hersteller alle in der Liste der in Betracht gezogenen KEK-Hersteller aus Kap. 3.1 wiederfinden. Es hat sich durch die Recherche im nuklearen, internationalen Umfeld kein weiterer KEK-Hersteller ergeben, der im Rahmen dieses Vorhabens berücksichtigt werden sollte. Die in Kap. 3.1 getroffene Auswahl von KEK-Herstellern eignet sich demnach gut für die weiteren Untersuchungen von KEK. Bei den ausgewählten Herstellern wurden insgesamt 37 KEK identifiziert. Sie sind in Tab. 3.8 aufgeführt und dienen für die nachfolgenden Untersuchungen und Vergleiche als Grundlage.

Tab. 3.8 Ausgewählte KEK der verschiedenen Hersteller

Hersteller	FPGAs	CPLDs
Microsemi	PolarFire, IGLOO2, RTG4, eX, SX-A, MX, ProAsic3, PROASICplus	
Intel/Altera	Stratix 5 und 10, Arria V und 10, Cyclone 5 und 10, Max 10	Max V, Max II
Xilinx	Spartan 6 und 7, Virtex 5 und 7, Kintex 7, Artix 7, Kintex/Virtex Ultrascale und Ultrascale+, Zync 7000	Coolrunner-II
Microchip	AT40K, ATF280F	ATF 1504, 2500C, 750C
Lattice Semi	MACHXO, XP2, ECP3	

4 Hardware-Aspekte von KEK

Hardware-Aspekte von KEK beziehen sich neben der eigentlichen Architektur von KEK auch auf ihre Herstellung und ihren Einbau in Gehäuse. Um möglichst alle relevanten Unterscheidungskriterien zu ermitteln, die sich aus Hardware-Aspekten von KEK ergeben, wurden sämtliche Prozessschritte bei der Herstellung der KEK untersucht, die Architektur und Bestandteile der verschiedenen in Kapitel 1 ermittelten KEK miteinander verglichen und die Möglichkeiten des Einbaus in ein Gehäuse erarbeitet. In den nachfolgenden Abschnitten werden zunächst die Prozesse und Aspekte der Herstellung beschrieben. Anschließend werden verschiedene Hardware-Charakteristika von KEK dargestellt. In Kapitel 1 wird auf Software-Aspekte bei der Konfiguration von KEK eingegangen. Haben sich im Rahmen der Untersuchungen des jeweiligen Themas mögliche Diversitätskriterien ergeben, wird am Ende des jeweiligen Abschnitts darauf eingegangen und die relevanten Informationen diskutiert. In Kapitel 3 werden die Diversitätsmerkmale für Hardware und Software als Basis für die Anpassung der Diversitätsmatrix zusammenfassend dargestellt.

4.1 Herstellung

Als Basismaterial zur Herstellung von integrierten Schaltkreisen dient nahezu ausschließlich Silizium /HIL 19/. Halbleiter wie Germanium oder Galliumarsenid weisen teils bessere elektrische Eigenschaften als Silizium auf. Silizium ist jedoch ein Halbleiter, der in großen Mengen in der Natur vorkommt und damit ein kostengünstiges Material darstellt. Es lässt sich zudem für die Halbleiterfertigung leicht und kostengünstig verarbeiten. Dies führt dazu, dass fast ausschließlich Silizium als Basismaterial in der Halbleitertechnologie eingesetzt wird. /LAU 08/

Die Fertigung von integrierten Schaltkreisen unterteilt sich in mehrere Prozessschritte /HIL 19/, /LAU 08/:

- Herstellung von Ingots¹⁸ und Wafern¹⁹,

¹⁸ Aus hochreiner Siliziumschmelze gezogener einkristalliner Zylinder

¹⁹ Dünne Scheiben aus hochreinem Silizium, in die der Ingot zersägt wird

- Herstellung der einzelnen Bauelemente auf dem Wafer („Front End“),
 - Herstellung von Transistoren, Dioden oder Kondensatoren durch die Bearbeitung des Substratmaterials (Front End of Line, FEoL),
 - Verbindung der Bauelemente miteinander (Back End of Line, BEoL) und
- Montage des Bauelements im Gehäuse („Back End“).

Auf die einzelnen Schritte wird im Folgenden eingegangen.

4.1.1 Herstellung von Ingots und Wafern

Damit die hohen Anforderungen der Mikroelektronik erfüllt werden können, muss das Substrat in Form von hochreinen Einkristallen hergestellt werden. Bei Silizium wird zunächst aus einer hochreinen Siliziumschmelze ein einkristalliner Zylinder, der sogenannte Ingot, gezogen.

Während des Kristallziehens können sich bei ungenügender Temperaturkontrolle, zu hoher oder ungleichmäßiger Ziehgeschwindigkeit oder anderen Störungen Baufehler im Kristall ausbilden. Beispielsweise kann sich durch Scherkräfte aufgrund von schnellen Temperaturwechseln im Material eine zusätzliche Atomebene im Kristall, eine sog. Versetzung, ergeben. Diese Versetzungen wirken als Senken für Dotierstoffe und damit als parasitäre Strompfade im Kristall. /HIL 19/

Im nächsten Schritt wird der Ingot in dünne Scheiben, die sogenannten Wafer, zersägt. Diese besitzen zunächst durch das Sägen eine aufgeraute Oberfläche und müssen entsprechend nachbearbeitet werden. Im ersten Schritt wird mit Schleifmitteln unterschiedlicher Körnung die oberste Schicht des Wafers abgetragen. Anschließend wird der Scheibenrand abgerundet, um scharfe Kanten zu beseitigen, die ansonsten bei der weiteren Bearbeitung abplatzen könnten. Der Wafer wird dann in ein Ätzmittel getaucht, um durch das Sägen entstandene Kristallfehler, die durch das Schleifen nicht entfernt wurden, abzutragen. Im letzten Schritt wird der Wafer poliert, um noch verbliebene Unebenheiten von bis zu 3 nm zu beseitigen. /LAU 08/, HIL 19/

4.1.2 Front-End- und Back-End-Fertigung

Wie bereits zu Beginn des Abschnitts beschrieben, unterteilt sich die Front-End- und Back-End-Fertigung in mehrere Arbeitsschritte. Ausgehend von einem unstrukturierten

Wafer umfasst der erste Prozessschritt der Front-End-Fertigung (FEoL) im Wesentlichen alle Arbeiten für die Herstellung der elektrisch aktiven und passiven Bauelemente (Transistoren, Kondensatoren und auch Widerstände). Im zweiten Prozessschritt (BEoL) werden die elektrischen Verbindungen zwischen diesen Bauelementen gefertigt und so erst zu einer funktionierenden elektronischen Schaltung verknüpft. Im übertragenen Sinn werden hierbei Drähte, also dünne elektrische Leitungen aus Metall, gefertigt und gemäß dem Schaltplan verknüpft. Daher wird auch von Verdrahtung oder Metallisierung gesprochen. /LAU 08/

Mittels lithographischer Verfahren werden die Strukturen auf den Silizium-Wafern hergestellt. Die Prozessschritte der Lithografie sind in Abb. 4.1 dargestellt.

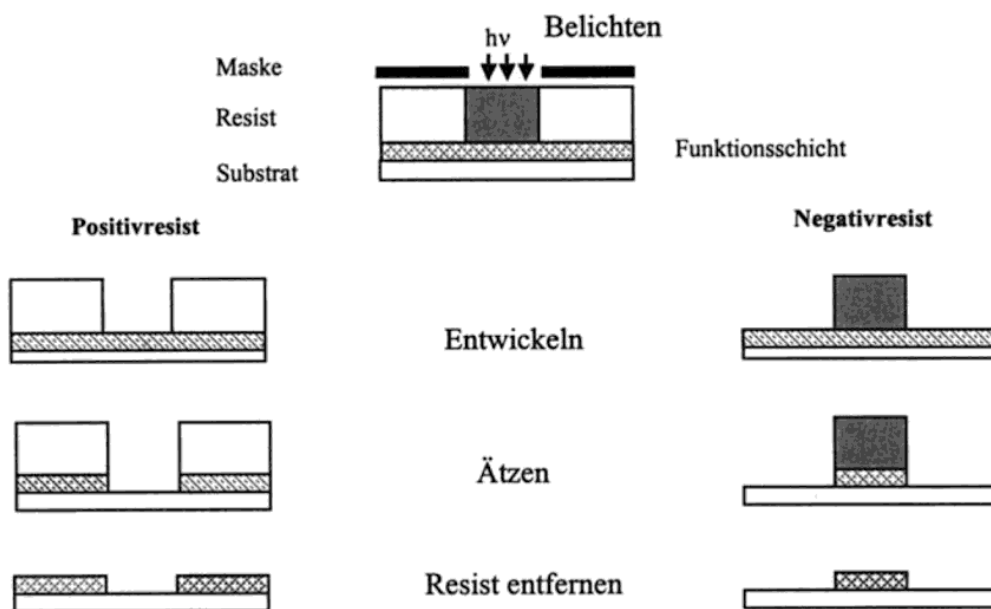


Abb. 4.1 Prozessschritte bei der Fotolithografie /VOE 00/

Zuerst wird ein strahlungsempfindlicher Film, meist eine Fotolackschicht („Resist“), auf dem Wafer aufgebracht. Mittels Belichtung wird das Bild einer Fotomaske auf den lichtempfindlichen Fotolack übertragen. In der Positiv-Lack-Technik (linker Teil in Abb. 4.1) werden anschließend die belichteten Stellen des Fotolacks chemisch aufgelöst. Alternativ können in der Negativ-Lack-Technik (rechter Teil in Abb. 4.1) auch die unbelichteten Stellen aufgelöst werden /LAU 08/. Die chemische Stabilität und thermische Belastbarkeit der Negativlacke ist in der Regel höher als die der Positivlacke. Früher war die erreichbare minimale Linienweite in Negativlacken auf ca. $1,5 \mu\text{m}$ begrenzt, da die Strukturen während des Entwickelns aufquollen, moderne Negativlacke eignen sich inzwischen auch aber für die Sub- μm -Lithographie. Dennoch sind in der Serienfertigung

aufgrund der kleineren erreichbaren Strukturweiten nach wie vor überwiegend Positivlacke im Einsatz. /HIL 19/

Mit Ätzverfahren werden dann die Strukturen in die darunterliegende Schicht übertragen und der verbliebene Fotolack entfernt. Auf diese Weise können beispielsweise Leiterbahnen oder Isolierschichten auf dem Substrat erzeugt werden.

Mikroelektronische Schaltungen bestehen nicht aus dem homogenen Siliziumkristall, aus dem der Wafer zunächst besteht. Stattdessen bestehen sie aus lokal unterschiedlich dotierten Bereichen eines Kristalls, d. h. in das ursprünglich homogene Wafer-Material werden im Verlauf der Herstellung gezielt verschiedene Dotierstoffe eingebracht, die in festgelegten Gebieten der Halbleiteroberfläche zu einer Verstärkung, Abschwächung oder Umkehrung der Substratdotierung führen. Die eingebrachte Dotierung verändert somit die elektrischen Eigenschaften des Siliziums. /HIL 19/

Aus diesen unterschiedlich dotierten Bereichen können beispielsweise Transistoren und daraus wiederum komplexere Schaltungen aufgebaut werden, die schließlich die Funktionen des KEK definieren.

Nach der Herstellung der dotierten Bereiche im Siliziumsubstrat müssen diese mittels elektrischer Kontakte miteinander verbunden werden, um eine funktionsfähige Schaltung zu erhalten. Dies wird als Metallisierung bezeichnet. Neben der internen Verbindung führt sie zudem die Anschlüsse über weitere Leiterbahnen zum Rand des Chips und wird dort zu Kontaktflecken („Pads“) aufgeweitet, die als Anschluss für die Verbindungsdrähte zwischen Chip und Gehäuse²⁰ dienen. /HIL 19/

Die Verdrahtung kann in einer integrierten Schaltung über 80 % der Chipfläche einnehmen, darum wurden Techniken entwickelt, mit denen die Verdrahtung in mehreren Ebenen übereinandergelagert wird. So lässt sich die Summe der Leiterbahnen bei nur einer zusätzlichen Ebene um bis zu 30 % verringern. Zwischen den Verdrahtungsebenen sind Isolationsschichten aufgebracht, durch Kontaktöffnungen werden die einzelnen Ebenen miteinander verbunden. Dabei sind heute 7 und mehr Verdrahtungsebenen (Metallisierungsebenen, LoM²¹) gebräuchlich. /LAU 08/

²⁰ Zu Gehäusen siehe Kapitel 4.4.

²¹ LoM: Layer of Metal

Im Folgenden wird auf Detailspekte der beschriebenen Herstellungsprozesse eingegangen, die sich im Rahmen der Untersuchung von Unterscheidungskriterien im vorliegenden Vorhaben als relevant herausgestellt haben.

4.1.3 Untersuchungen zur Ableitung von Unterscheidungskriterien

4.1.3.1 Wafer-Größen

In Tab. 4.1 ist die Entwicklung der Wafer-Größen seit 1960 dargestellt. Hatten 1960 Wafer noch einen Durchmesser von 25 mm, können sie heute Durchmesser bis 300 mm erreichen. In der Massenproduktion werden aktuell Siliziumwafer mit einem Durchmesser von 150, 200 oder 300 mm eingesetzt /LAU 08/.

Tab. 4.1 Typische Größen von Wafern /CON 18/, /SEM 01/

	Durchmesser [mm]	Dicke [mm]	Markteinführung
1-Zoll-Wafer	25		1960
2-Zoll-Wafer	50,8	0,279	1969
3-Zoll-Wafer	76,2	0,381	1972
4-Zoll-Wafer	100	0,525	1976
5-Zoll-Wafer	125	0,625	1981
6-Zoll-Wafer	150	0,675	1983
8-Zoll-Wafer	200	0,725	1992
12-Zoll-Wafer	300	0,775	2002
18-Zoll-Wafer	450	-	-

In /RIS 17/ wird beschrieben, dass bereits seit 2006 erste Pläne für 450-mm-Wafer existieren. Im Januar 2017 verkündete das Global 450 Consortium, dem führenden Hersteller von Halbleitern (u.a. Intel, TSMC, Globalfoundries), Software (u.a. IBM) und Elektronik (u.a. Samsung) angehören, dass derzeit nicht die richtige Zeit für große Wafer seien. Technisch sei dies zwar machbar, die Kosten wären aber zu hoch und der Bedarf an solch großen Wafern nicht gegeben. Somit würde sich an der Größe der Wafer absehbar nichts ändern. Da die Größe der verwendeten Wafer eher eine Frage der Wirtschaftlichkeit als der Sicherheit ist, wird dieser Aspekt nicht als Diversitätskriterium angesehen.

4.1.3.2 Halbleiterfertigung

In den letzten Abschnitten wurde beschrieben, dass bereits beim Kristallziehen Störungen auftreten können, die zu Fehlstellen im Siliziumkristall führen können. Auch bei der Fotolithografie können Störstellen z. B. aufgrund von Verunreinigungen unter der Maske auf den Halbleiter aufgebracht werden. Solche Störungen können für ganze Chargen zu systematischen Fehlern führen, wenn beispielsweise die verunreinigte Maske bei der Lithografie zur Herstellung einer großen Zahl von KEK eingesetzt wird.

Die in den Abschnitten 4.1 und 4.2 beschriebenen Prozessschritte zur Herstellung von KEK werden in der Regel in Halbleiterfabriken durchgeführt. Zentraler Teil einer solchen Fabrik ist der sogenannte Reinraum. In diesem ist eine Fertigung in extrem sauberer Umgebung und mit einer sehr geringen Dichte von Staubpartikeln möglich. Dies ist nötig, weil selbst kleinste Partikel bereits den Ausfall eines kompletten Schaltkreises verursachen können und damit die Ausbeute sowie die Zuverlässigkeit maßgeblich beeinflussen.

In solchen Reinräumen befinden sich auch die Produktionsanlagen zur Herstellung von ICs. Standards und Normen definieren die Reinheitsanforderungen für den Betrieb kontrollierter Umgebungen. Beispielsweise ist in der mehrteiligen internationalen Norm DIN EN ISO 14644 „Reinräume und zugehörige Reinraumbereiche“ der Reinheitsgrad der Luft durch die Bestimmung von Grenzwerten für die maximal zulässige Partikelkonzentration pro m³ definiert. Auch berücksichtigt sie Aspekte zu Planung, Betrieb und Kontrolle von Reinraumanlagen. Diese Norm wird auch in der Halbleiterindustrie angewandt /DIN 16/. Darüber hinaus besteht für deutsche Reinräume die Richtlinienreihe VDI 2083 „Reinraumtechnik“, die Anforderungen an die Reinheit der Raumluft, des Arbeitsplatzes, der Prozessmedien und der Mitarbeiter stellt /VDI 13/. Da die ausgewählten KEK-Hersteller ihren Sitz in den USA haben und die Halbleiterwerke maßgeblich in Asien oder USA angesiedelt sind, wird diese Richtlinienreihe in den betroffenen Halbleiterwerken vermutlich nicht angewandt.

Um zu verhindern, dass Verunreinigungen in Reinräumen oder beim Herstellungsprozess allgemein Auswirkungen auf die Zuverlässigkeit von softwarebasierter oder programmierbarer Leittechnik in Kernkraftwerken haben, können KEK aus verschiedenen Halbleiterfabriken eingesetzt werden. Daher wurde in einem ersten Schritt untersucht, welche Halbleiterfabriken es gibt. Diese Fabriken gehören Halbleiterfertigern, die keine eigenen Produkte auf dem Markt vertreiben, sondern beispielsweise KEK im Auftrag von

KEK-Herstellern fertigen. In Tab. 4.2 ist eine Übersicht der umsatzstärksten Halbleiterfertiger dargestellt /EVE 17/. Demnach decken die Firmen TSMC, GlobalFoundries und UMC zusammen bereits 79 % des Marktanteils ab.

Tab. 4.2 Übersicht über Halbleiterfabriken /EVE 17/

Halbleiterfertiger	Umsatz 2015 (Mio \$)	Anteil am Gesamtumsatz	Umsatz 2016 (Mio \$)	Anteil am Gesamtumsatz
TSMC (Taiwan)	26.574	59%	29.488	59%
GlobalFoundries (US)	5.019	11%	5.545	11%
United Microelectronics Corp. UMC Group (Taiwan)	4.464	10%	4.582	9%
SMIC 2 (China)	2.236	5%	2.921	6%
Powerchip (Taiwan)	1.268	3%	1.275	3%
TowerJazz (Israel)	961	2%	1.249	2%
Vanguard (Taiwan)	736	2%	800	2%
Hua Hong Semi (China)	650	1%	712	1%
Dongbu HiTek (Südkorea)	593	1%	672	1%
X-Fab (Europa)	331	1%	510	1%
Sonstige	2.405	5%	2.251	5%
Gesamt	45.237		50.005	

Basierend darauf wurde untersucht, welcher Halbleiterfertiger und damit welche Halbleiterfabriken von den KEK-Herstellern als Lieferanten angegeben werden. Sie sind in Tab. 4.3 für die betrachteten KEK-Hersteller aufgeführt.

Die Firmen Microsemi und Microchip produzieren demnach ihre Halbleiter (inkl. Wafer) ausschließlich selbst. Die Firma Intel produziert ebenfalls ihre Halbleiter selbst, wird jedoch zusätzlich von der Firma TSMC beliefert, dem ursprünglichen Lieferanten der Firma Altera, welche von Intel übernommen wurden. Die Firma TSMC beliefert neben der Firma Intel auch die Firmen Xilinx und Lattice Semi. Die Firma Lattice Semi wird darüber hinaus von den Firmen Fujitsu, Seiko und UMC beliefert.

Tab. 4.3 Liste der von KEK-Herstellern genannten Halbleiterfertiger

KEK-Hersteller	Halbleiterfertiger	Bemerkung
Lattice Semi	Fujitsu Microelectronics Limited Seiko Epson Corp. UMC TSMC	qualifiziert nach ISO 9001:2008, ISO/TS 16949:2009 und ISO 14001:2004 Fujitsu: MachXO, LatticeXP, ECP3, XP2 /LAT 11/, /LAT 12/ /LAT 15/
Microsemi	Microsemi	
Intel/Altera	TSMC Intel	Stratix 5, Arria V, Cyclone 5/10
Xilinx	TSMC	28 nm, 20 nm und 16 nm Komponenten /XIL 15/
Microchip	Microchip	

Eine Diversität von KEK durch die Herstellung in unterschiedlichen Halbleiterfabriken zu erreichen, ist demnach möglich, muss jedoch bei verschiedenen KEK-Herstellern genau hinterfragt werden, um zu gewährleisten, dass die in Frage kommenden Komponenten tatsächlich aus unterschiedlichen Halbleiterfabriken stammen.

In der Regel verfügen die genannten Halbleiterfertiger über mehrere Fabrikationsstätten, teils auch in unterschiedlichen Ländern. Beispielsweise verfügt TSMC über 13 Fabrikationsstätten, davon 10 in Taiwan, 2 in China und eine in USA. /TSM 19/ Demnach gibt es mehrere Möglichkeiten, eine Diversität der Halbleiterwerke herzustellen:

1. Halbleiterbauelemente wurden zwar beim gleichen Hersteller, aber in verschiedenen Reinräumen am gleichen Standort hergestellt.
2. Halbleiterbauelemente wurden zwar beim gleichen Hersteller, aber an verschiedenen Standorten hergestellt.
3. Halbleiterbauelemente wurden von unterschiedlichen Herstellern gefertigt und geliefert.

Die Auswertung ergibt demnach, dass der Herstellungsort als Diversitätskriterium eingesetzt werden sollte, um zu verhindern, dass Probleme in Reinräumen im Rahmen der Massenfertigung von Halbleiterbauelementen zu systematischen Ausfällen mehrerer KEK in Kernkraftwerken führen können. Auch wenn die Arbeiten in Reinräumen stark automatisiert erfolgen, können systematische Fehler zusätzlich zu den bereits beschri-

ebenen Aspekten aufgrund von menschlichen Fehlhandlungen bei der Fertigung auftreten. Diese werden durch dieses Diversitätskriterium ebenfalls berücksichtigt.

4.1.3.3 Metallisierungsebenen

Es wurde untersucht, welche Anzahl an Metallisierungsebenen (LoM, siehe hierzu Kap. 4.1.2) bei den verschiedenen betrachteten KEK-Herstellern und KEK zur Anwendung kommen. Das Ergebnis ist in Tab. 4.4 zusammen mit der jeweiligen Strukturgröße (siehe hierzu Kap. 4.3.1) aufgeführt.

Tab. 4.4 Anzahl der Metallisierungsebenen der betrachteten KEK

Hersteller	KEK	LoM
Lattice Semi	ECP3, XP2, Mach XO	Keine Information verfügbar
Microsemi	Axcelerator ProASICplus MX	7 (150 nm) 4 (220 nm) 7 (450 nm)
Intel/Altera	Stratix	6 (20 nm)
Xilinx	Virtex 5	12 (65 nm)
Microchip		Keine Information verfügbar.

Für fünf KEK konnte ermittelt werden, dass sie über 4-12 Metallisierungsebenen verfügen. Die Anzahl der Metallisierungsebenen ist nicht korreliert mit der Strukturgröße. Auch bei kleiner werdenden Strukturen ist es demnach möglich, KEK mit mehreren Metallisierungsebenen aufzubauen.

Aufgrund der geringen Informationsbasis können keine generellen Erkenntnisse aus diesem Parameter abgeleitet werden. Die Anzahl der Metallisierungsebenen wird deshalb im Rahmen dieses Vorhabens als Diversitätskriterium nicht weiter verfolgt. Im Rahmen der Auswertung ergeben sich keine relevanten Aspekte, die darauf schließen lassen, dass durch eine diversitäre Anzahl von Metallisierungsebenen eine Erhöhung der Zuverlässigkeit und Robustheit erreicht werden kann.

4.2 Aufbau von KEK

Im Folgenden wird zunächst der grundsätzliche Aufbau und die Architektur von KEK beschrieben. Anschließend wird auf die für das Vorhaben relevanten Aspekte dieser Komponenten im Detail eingegangen.

4.2.1 Grundsätzlicher Aufbau und Architektur von KEK

4.2.1.1 CPLD

CPLDs bestehen aus Logikblöcken (Logic Array Block, LAB), die wiederum eine unterschiedliche Anzahl an Funktionsblöcken, sog. Makrozellen, enthalten. Die Makrozellen und Logikblöcke können durch eine zentrale Verbindungsmatrix (Programmable Interconnection Array, PIA) miteinander verbunden werden, um die gewünschten Funktionen auszuführen. Über Eingangs- und Ausgangsblöcke (I/O-Blöcke) wird die Kommunikation des CPLDs mit anderen Elementen ermöglicht. Der Aufbau eines CPLDs ist schematisch in Abb. 4.2 dargestellt. /GOD 13/

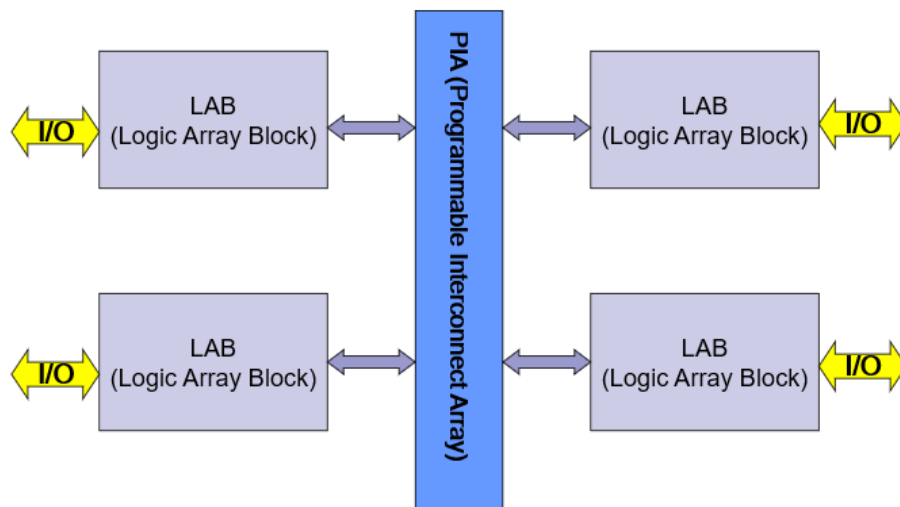


Abb. 4.2 Schematische Darstellung des Aufbaus eines CPLDs /GOD 13/

Die Makrozellen in einem LAB sind vergleichbar zu SPLDs²² aufgebaut. SPLDs bestehen in der Regel aus einem UND- und einem ODER-Array, welche hintereinandergeschaltet sind (siehe Abb. 4.3).

²² SPLD: Simple Programmable Logic Device.

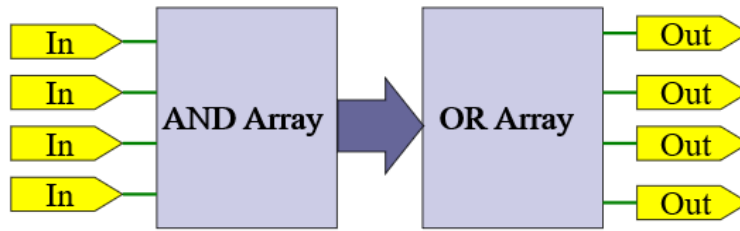


Abb. 4.3 Schematischer Aufbau eines SPLDs /GOD 13/

Entsprechend der Programmiermöglichkeit dieser Arrays werden die folgenden SPLDs unterschieden:

- PROM (Programmable Read-Only Memory) stellt ein festes UND-Array mit einem programmierbaren ODER-Array dar (Siehe Abb. 4.4).
- Ein PAL (Programmable Array Logic) besteht aus einem programmierbaren UND-Array mit einem festen ODER-Array.
- Bei einem PLA (Programmable Logic Array) sind sowohl das UND- als auch das ODER-Array programmierbar.

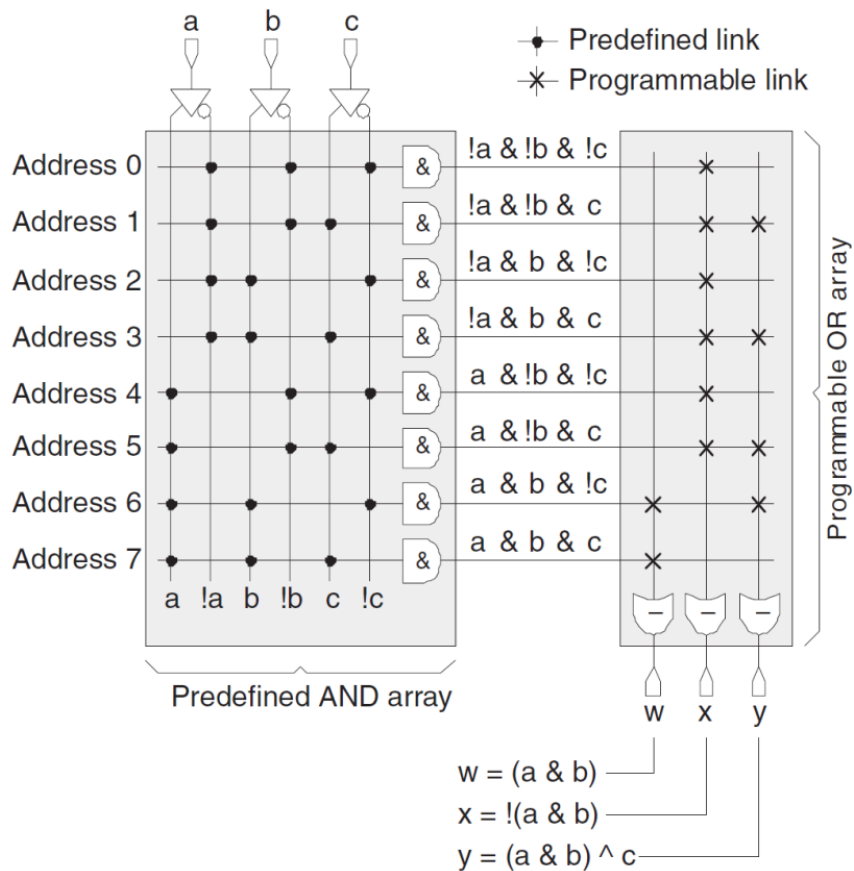


Abb. 4.4 Aufbau eines PROM /MAX 04/

In Abb. 4.4 ist als Beispiel einer Anordnung aus UND- und ODER-Arrays ein PROM mit drei Eingängen (a, b, c) und drei Ausgängen (w, x, y) schematisch dargestellt. Die fest vorgegebenen Verbindungen sind durch Punkte im UND-Array gekennzeichnet. Die frei wählbaren Verbindungen sind mit einem x im ODER-Array markiert und werden erst nach der Herstellung vom Anwender entsprechend der gewünschten Funktion festgelegt /MAX 04/.

4.2.1.2 FPGA

Der Aufbau eines FPGAs ist schematisch in Abb. 4.5 dargestellt /IAE 17/.

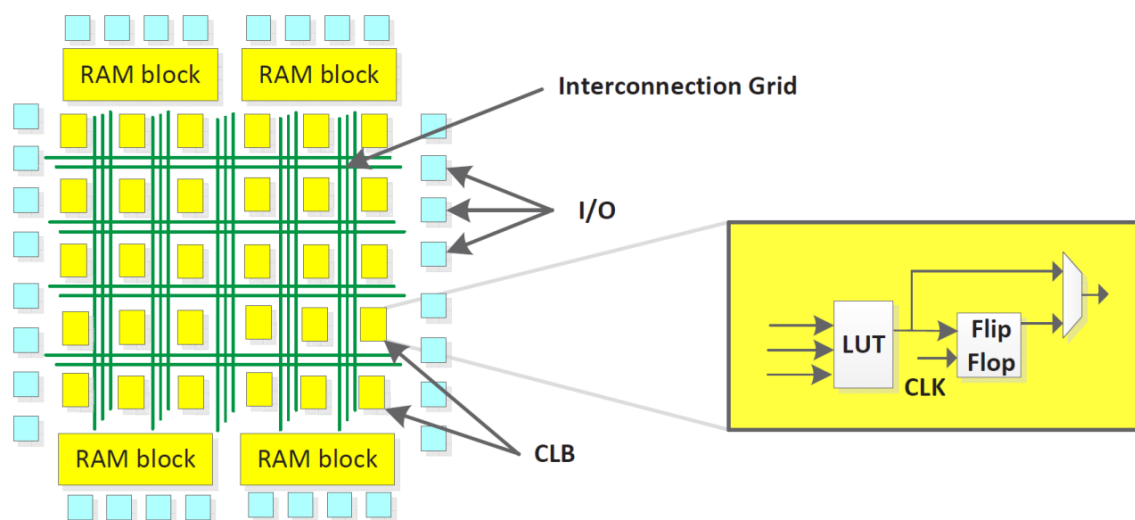


Abb. 4.5 Aufbau eines FPGA-Bausteins /IAE 17/

Er besteht aus:

- Konfigurierbaren Logikblöcken (CLB),
- Verbindungen zwischen den Logikblöcken,
- Ein- und Ausgangsblöcken (I/O-Blöcken),
- Speicherblöcken (RAM-Blöcke).

Abhängig vom FPGA-Typ sind mehrere Tausende bis zu mehrere Millionen CLBs und Verbindungen vorhanden. Ähnlich wie die Logikblöcke im CPLD kann jeder CLB eines FPGAs vom Anwender so konfiguriert werden, dass er einen Teil der zu realisierenden Schaltung implementiert. Diese Schaltungsteile werden dann durch ein programmierbares Netzwerk von Verbindungen (Routing) untereinander und mit den I/O-Blöcken verbunden. Sowohl die CLBs als auch die Verbindungen zwischen diesen sind program-

mierbar. Die Ein- und Ausgangsblöcke (I/O-Blöcke) dienen zur Kommunikation des FPGA-Bausteins mit anderen Bauelementen. /FRI 09/

In Abb. 4.5 rechts sind die Hauptbestandteile eines einfachen CLB exemplarisch dargestellt. Er besteht im Wesentlichen aus einer Lookup-Tabelle (LUT), Flip-Flops und einem Multiplexer. Er setzt sich demnach aus mehr als kombinatorischer Logik zusammen und verfügt über eine nicht zu vernachlässigende Komplexität. Um in einem CLB beispielsweise die Funktion $y=(a \& b) | c$ darzustellen, kann wie in Abb. 4.6 gezeigt vorgegangen werden. Für die gewünschte Funktion wird zunächst eine Wahrheitstabelle erstellt, welche dann im Speicher (im Beispiel ein 8-bit RAM) der LUT abgelegt wird. Dabei wird der Speicher durch die Eingangssignale a, b und c adressiert. Der hinterlegte Wert an dieser Speicheradresse entspricht dem zur Kombination der Eingangssignale gehörigen Ergebnis der Wahrheitstabelle. Das Ergebnis der Funktion wird als Ausgangsbit über einen 8-zu-1-Multiplexer selektiert ausgegeben. Zur Synchronisation des Datenflusses wird das Ausgangssignal über ein nachgeschaltetes Flip-Flop getaktet (siehe Abb. 4.5 rechts). In Abb. 4.5 rechts ist dem Flip-Flop ein weiterer Multiplexer nachgeschaltet, der eine Selektion des getakteten Signals nach oder des ungetakteten Signals vor dem Flip-Flop ermöglicht. /KRA 14/, /MOR 14/

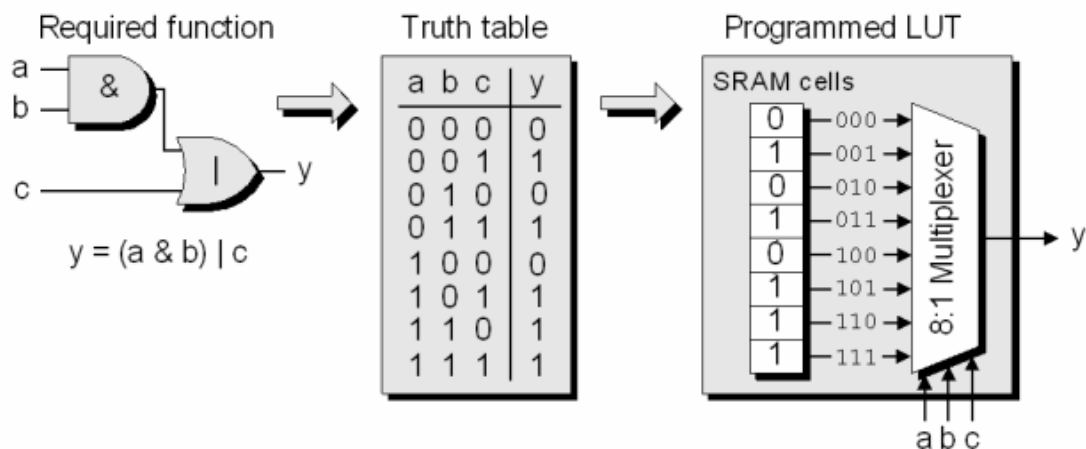


Abb. 4.6 LUT-basierter CLB /MAX 04/

4.2.1.3 Ableitung von Unterscheidungskriterien aufgrund des grundsätzlichen Aufbaus und der Architektur

Für alle im Rahmen des Vorhabens ausgewählten KEK wurde zunächst untersucht, wie sie grundsätzlich aufgebaut sind und inwieweit sich die verschiedenen Architekturen sowohl der KEK eines Herstellers als auch zwischen KEK von unterschiedlichen Herstellern unterscheiden. Die Auswertung der Architekturen der im Vorhaben betrachteten

KEK ergibt, dass sich die betrachteten Komponenten grundsätzlich in drei Architekturtypen einteilen lassen: „island-style“, „hierarchical“ und „row-based“ /FRI 09/.

Island-Style Architektur

Bei KEK mit Island-Style-Architektur sind die Logikblöcke jeweils von kurzen Anschlussleitungen umgeben, die über programmierbare Schalter (programmable connection switch) mit den umliegenden Leitungen verbunden werden können (siehe Abb. 4.7 und Abb. 4.8).

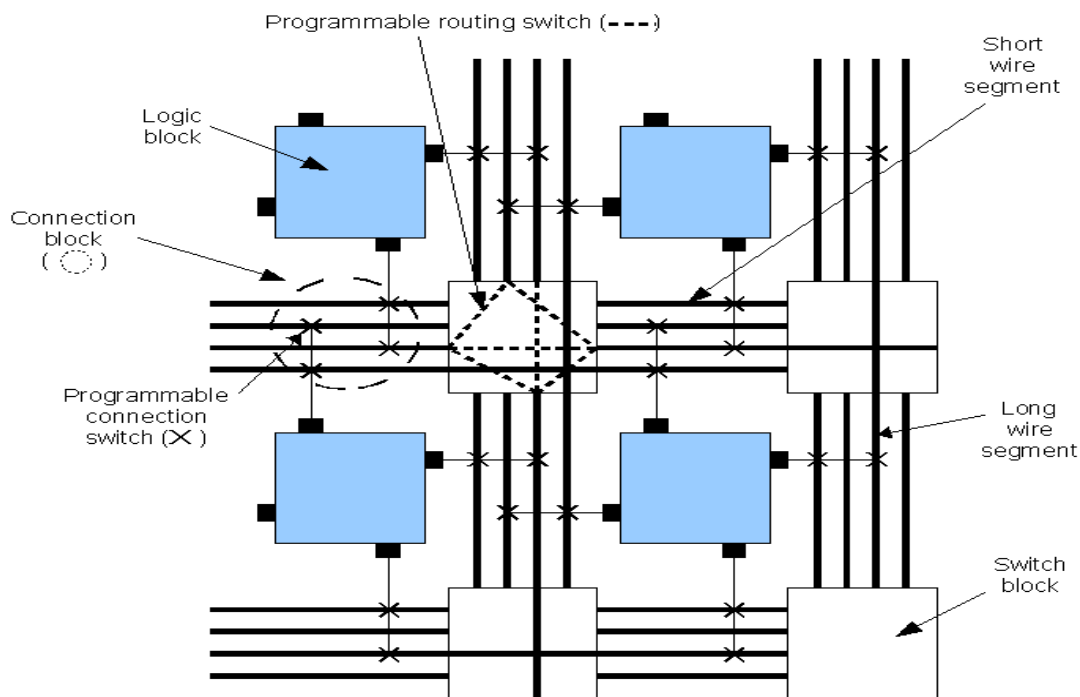


Abb. 4.7 Island-Style Architektur bei KEK von Xilinx /FRI 09/

Bei den Leitungen wird zwischen Leitungselementen, die mehrere Kreuzungspunkte überspannen (Long wire segment) und Leitungselementen, die durch Schalter (Switch Block) mit anderen Leitungssegmenten verbunden werden können, um eine längere Leitung zu bilden (Short wire segment), unterschieden. Diese Leitungen sind ein wichtiger Bestandteil der KEK, da jeder Schalter innerhalb einer längeren, d. h. unter Umständen aus mehreren kurzen Leitungssegmenten zusammengesetzten, Verbindung den Widerstand und somit die Verzögerungszeit der Verbindung sowie die insgesamt für den KEK benötigte Fläche erhöht. Kurze Leitungssegmente sind allerdings von Vorteil, sobald ein Teil eines langen Leitungssegments nicht benötigt wird. In diesem Fall würde ansonsten die zu treibende Leitungskapazität und damit wiederum die Verzögerungszeit der Verbindung sowie die benötigte Fläche erhöht werden. Die Verzögerung der Verbindungs-

leitungen ist eine wichtige Größe bei der Entwicklung von KEK, da kleine Änderungen Auswirkungen auf die Verzögerungszeiten und damit auf die Leistungsfähigkeit der durch den KEK realisierten Schaltung haben. /FRI 09/

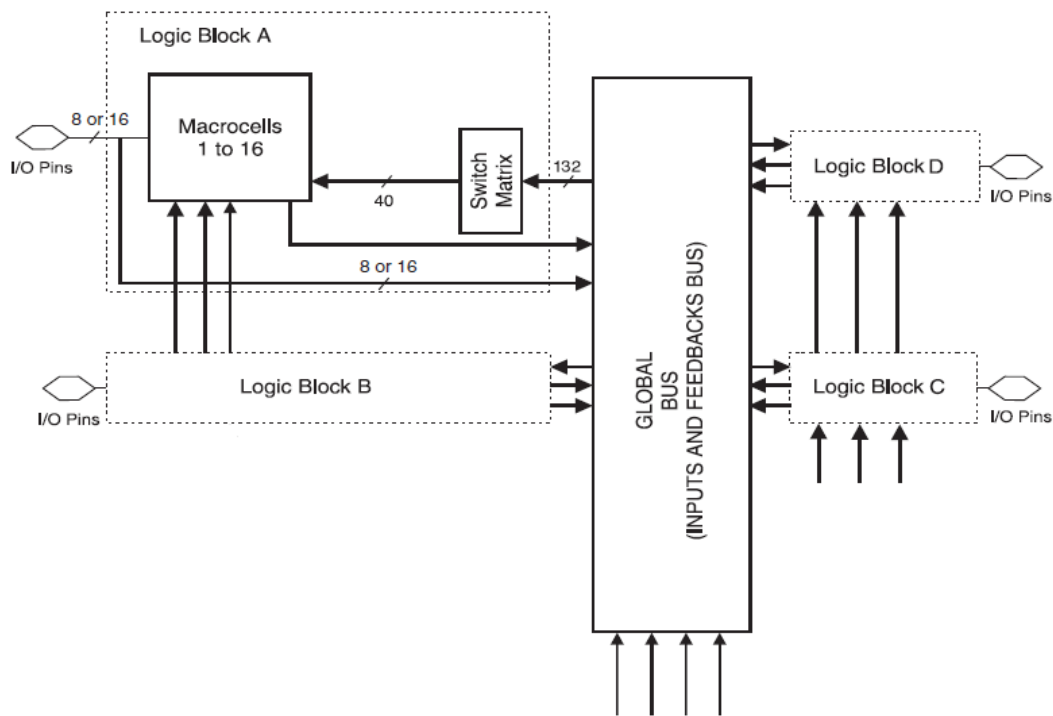


Abb. 4.8 Island-Style Architektur bei KEK von Microchip /ATM 14/

Bei Xilinx sind bei allen untersuchten KEK die Logikblöcke von kurzen Anschlussleitungen umgeben, die über Schalter mit umliegenden Leitungen verbunden werden können.

Bei den ausgewählten KEK von Mikrochip wird dieser Architekturtyp ähnlich umgesetzt. Hier sind Makrozellen von kurzen Anschlussleitungen umgeben, die über eine Schaltmatrix mit globalen Leitungen verbunden werden können.

Hierarchische Architektur

Bei diesem Typ besteht ein Logikblock (LAB, Logic Array Block) aus mehreren Logikelementen und einer lokalen Verbindungsstruktur zwischen den Logikelementen im Logikblock. Verbindungsleitungen verlaufen vertikal und horizontal über die gesamte Breite und Höhe des KEK. Die horizontalen Leitungen verbinden die verschiedenen Logikblöcke miteinander, die vertikalen Leitungen verbinden die verschiedenen horizontalen Leitungen miteinander. Altera verwendet diesen Architekturtyp für seine KEK.

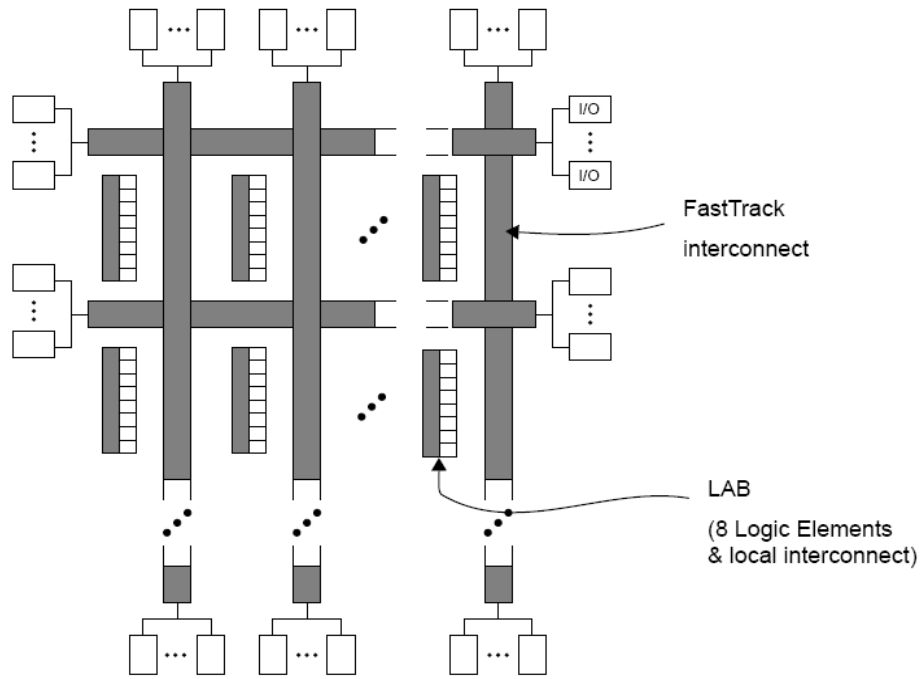


Abb. 4.9 Hierarchische Architektur bei KEK von Altera /FRI 09/

Row-based Architektur

Die Row-based-Architektur findet sich bei KEK von Microsemi und Lattice Semi. Beispiele hierfür sind in Abb. 4.10 und Abb. 4.11 für beide Hersteller gezeigt.

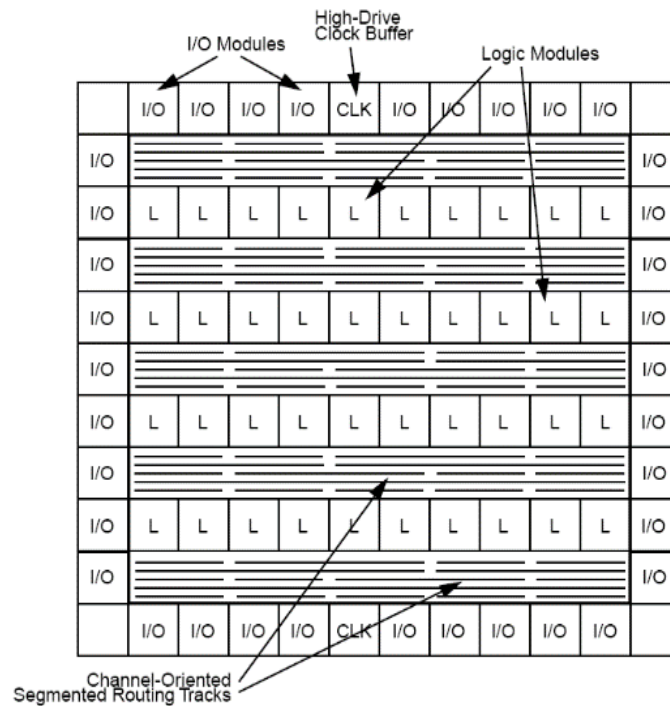


Abb. 4.10 Row-based Architektur bei KEK von Microsemi /FRI 09/

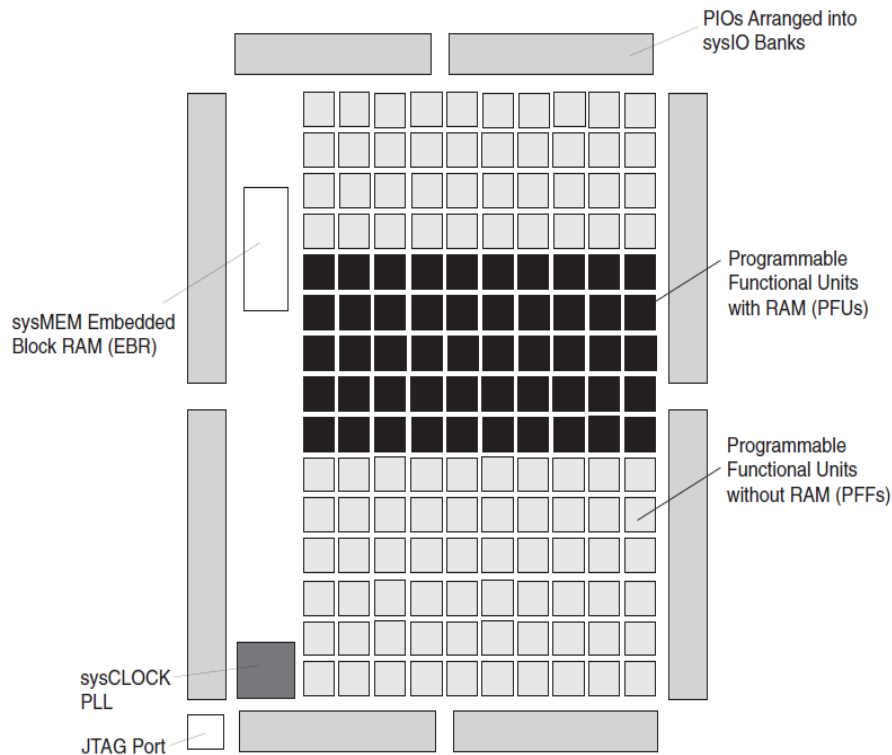


Abb. 4.11 Row-based Architektur bei KEK von Lattice Semi /LAT 07/

Bei diesem Architekturtyp sind Logikblöcke in horizontalen Reihen angeordnet. Bei Microsemi verlaufen die Verbindungsleitungen ausschließlich horizontal, bei Lattice Semi sowohl horizontal als auch vertikal, um die verschiedenen Logikblöcke miteinander zu verbinden. Auch in dieser Architektur gibt es Verbindungsleitungen mit unterschiedlichen Längen, die über Schalter miteinander verbunden werden. /FRI 09/

Ein Vergleich der Architekturen der im Rahmen des Vorhabens betrachteten KEK der verschiedenen Hersteller zeigt, dass die Firmen Lattice Semi und Microsemi ausschließlich die row-based Architektur, die Firmen Xilinx und Microchip ausschließlich die Islandstyle Architektur und Intel/Altera ausschließlich die hierarchische Architektur verwenden. Jeder der hier ausgewählten Hersteller verwendet also genau einen Architekturtyp und diesen für alle KEK, d. h. sowohl für FPGAs als auch für CPLDs. Zwischen den Architekturen von FPGAs und CPLDs besteht bei diesen Herstellern damit kein Unterschied. Unterschiedliche Architekturen sind bei KEK dieser KEK-Hersteller nur durch Einsatz von Komponenten unterschiedlicher Halbleiterhersteller erreichbar.

Die hier untersuchte grundlegende Architektur wird als zu berücksichtigendes Diversitätskriterium angesehen, da so gewährleistet werden kann, dass die ausgewählten KEK tatsächlich über unterschiedliche Strukturen und unterschiedlichen Aufbau verfügen.

4.2.2 Logikblöcke

Bei FPGAs unterscheidet werden zwei Arten von konfigurierbaren Logikblöcken (CLB), solche die auf Look-Up-Tabellen (LUT, siehe Abb. 4.6) und solche, die auf Multiplexern (siehe Abb. 4.12) basieren, unterschieden.

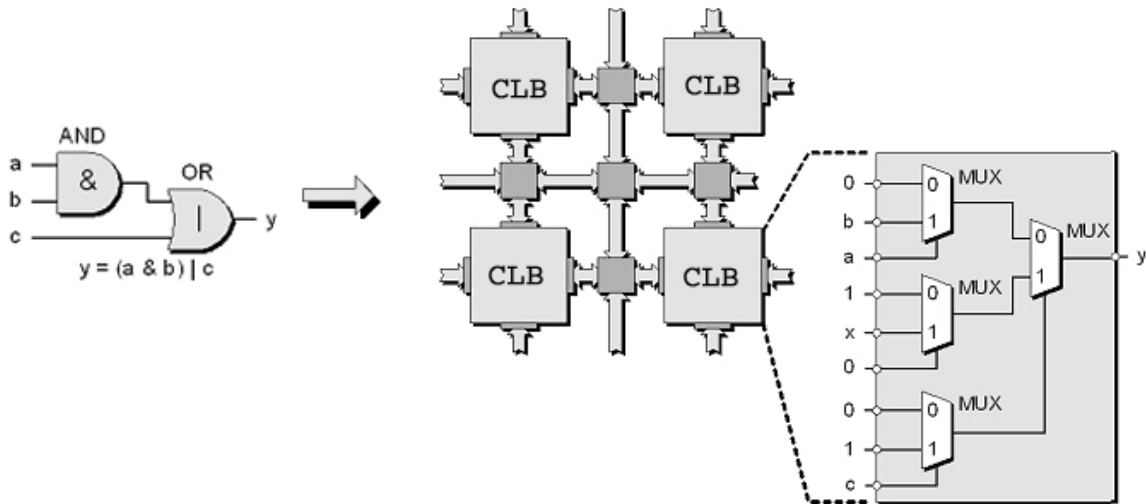


Abb. 4.12 Multiplexer-basierter CLB /MAX 04/

Beim LUT-basierten CLB wird, wie bereits in Kap. 4.2.1.2 beschrieben, die Wahrheitstabelle im LUT abgelegt. Hierzu werden die Werte der jeweiligen Eingänge an bestimmten Speicheradressen gespeichert und können dort bei der Berechnung der Funktionen abgefragt werden.

Bei Multiplexer-basierten CLB werden die Werte der Wahrheitstabellen nicht in Form von Speicheradressen abgelegt, sondern mittels Multiplexern dargestellt. In dem in Abb. 4.12 betrachteten Beispiel gibt es 3 Eingänge (a, b, c), an denen jeweils der Wert 0 oder 1 anliegen kann. Die Multiplexer sind so verschaltet, dass sie die gewünschte Funktion ausführen. Dabei zeigt das x am Eingang des mittleren Multiplexers an, dass es keine Rolle spielt, ob hier eine 1 oder eine 0 anliegt. /MAX 04/

4.2.2.1 Ableitung von Unterscheidungskriterien aufgrund der Ausführung der eingesetzten Logikblöcke

In Tab. 4.5 ist zusammengestellt, welche CLB-Typen bei den ausgewählten KEK eingesetzt werden. Es ist zu erkennen, dass in der Regel auf LUT basierende CLBs zum Einsatz kommen. Lediglich die Firma Microsemi bietet auch auf Multiplexern basierende CLBs an.

Tab. 4.5 Eingesetzte CLB-Typen der ausgewählten KEK

Hersteller	LUT	Multiplexer	SPLD
Lattice Semi	Mach XO, XP2, ECP3		
Microsemi	Polarfire, IGLOO2 RTG4	eX, SX-A, MX ProASIC3e, ProASICplus	
Intel/Altera	Stratix 5/10, Cyclone V/10, Arria 5/10 MAX 10 MAX II, V CPLD		
Xilinx	Virtex 5 Spartan 6 Spartan/ Virtex/ Kintex/ Artix 7 Zynq 7000 Virtex/ Kintex Ultra-scale/ Ultrascale+		Coolrunner II CPLD (PLA-basiert)
Microchip	AT40K, ATF280F		ATF 750/ 1504/ 2500

Wie im letzten Abschnitt beschrieben, werden bei CPLDs CLB-Typen unterschieden, die entweder auf LUT oder auf SPLD basieren. Während die Firma Altera nur auf LUT basierende CPLDs anbietet, kommen bei den Firmen Xilinx und Microchip noch auf SPLD basierende CPLDs zum Einsatz.

Die verwendeten CLB-Typen werden als Diversitätskriterium angesehen, da auf diese Weise gewährleistet werden kann, dass unterschiedliche Formen von Logikblöcken in KEK eingesetzt werden.

4.2.3 Input/Output-Blöcke

Die Ein- und Ausgangsblöcke (I/O-Blöcke) stellen die Verbindung zwischen den internen Signalen des KEK und den externen elektrischen Eingangs- und Ausgangssignalen dar. Sie sorgen unter anderem für Datentransport, zeitliche Anpassung, Signalumsetzung, Pegelumsetzung, Datenformatanpassung, etc. Das Einsatzgebiet reicht von einfacher byte-orientierter Ein- und Ausgabe bis zur autonomen Verwaltung komplexer Kommunikationsprotokolle, wie z. B. die Netzwerkanbindung. I/O-Blöcke befinden sich in der

Regel im Randbereich der KEK und werden so entworfen, dass sie jeweils einen großen Bereich von Anwendungen abdecken. Die Spezialisierung für die Anwendung, beispielsweise die Anpassung an bestimmte I/O-Standards (z. B. TTL, CMOS) geschieht in der Regel durch Programmierung. /PLA 17/, /EPR 09/

Bei der Untersuchung der I/O-Blöcke spielen I/O-Standards und Kommunikationsstandards eine Rolle. Auf diese beiden Aspekte wird im Folgenden eingegangen.

4.2.3.1 I/O-Standards

Verschiedene I/O-Standards verwenden typischerweise unterschiedliche Signalpegel. Die Ansteuerung der I/O-Pins von I/O-Blöcken der KEK erfolgt über die Logikzustände 0 oder 1. Signale werden aber typischerweise als Spannungssignale übertragen. Um Logikwerte mittels Spannungssignalen abzubilden, werden daher elektrische Spannungsbereiche definiert, die den Logikzuständen entsprechen. Diese Bereiche werden mit H (High) und L (Low) bezeichnet. Welche Werte diesen Bereichen entsprechen, ist vom jeweiligen Standard abhängig. In der Regel werden für Ein- und Ausgangssignale unterschiedliche Bereiche definiert. Beim TTL-Standard liegt am Signaleingang der L-Bereich beispielsweise bei 0-0,8 V und der H-Bereich bei 2-5 V, beim CMOS-Standard liegt der L-Bereich bei 0-1,5 V und der H-Bereich bei 3,5-5 V. Flip-Flops im KEK werden bei einem Wechsel aus dem L-Bereich in den H-Bereich (oder umgekehrt) geschaltet. /ELE 19/ Die I/O-Blöcke der KEK können üblicherweise für verschiedene I/O-Standards konfiguriert werden. Die Werte der Signalpegelbereiche verschiedener IO-Standards sind in Tab. 4.6 aufgeführt.

Tab. 4.6 Signalpegel verschiedener I/O-Standards /TEX 17/, /NAT 19/

	Betriebsspannung	Low („0“)	High („1“)
TTL	5 V	IN < 0,8 V, OUT < 0,4 V	IN > 2,0 V, OUT > 2,4 V
LVTTTL	3,3 V	IN < 0,8 V, OUT < 0,4 V	IN > 2,0 V, OUT > 2,4 V
CMOS	5 V	IN < 1,5 V, OUT < 0,5 V	IN > 3,5 V, OUT > 4,4 V
CMOS	2,5 V	IN < 0,7 V, OUT < 0,2 V	IN > 1,7 V, OUT > 2,3 V
LVDS	2,4 V	OUT < 1,05 V	OUT > 1,40 V

Neben den unterschiedlichen Signalpegeln wird bei I/O-Standards zwischen asymmetrischer und symmetrischer Signalübertragung unterschieden.

Bei der asymmetrischen („single-ended) Signalübertragung erfolgt die elektrische Signalübertragung durch eine Spannung, die sich je nach Signal gegenüber einem Bezugspotential ändert. /EBN 02/

Bei der symmetrischen Übertragung erfolgt die Signalübertragung über ein Paar gleichartiger Signalleitungen. Dabei wird auf der einen Leitung das eigentliche Signal und auf der anderen Leitung üblicherweise das invertierte Signal übertragen. Mögliche Störsignale während der Übertragung beeinflussen somit beide Signalleitungen, so dass diese durch Differenzbildung eliminiert werden können. Es wird in diesem Fall auch von differentieller Übertragung gesprochen. Diese Art der Übertragung ist robuster gegenüber Störungen als die asymmetrische Signalübertragung. Nachteilig ist jedoch die größere Anzahl an notwendigen Signalleitungen. /EBN 02/

4.2.3.2 Kommunikationsstandards

Neben den unterschiedlichen I/O-Standards wird bei der Signalübertragung üblicherweise unterschieden zwischen paralleler und serieller sowie asynchroner und synchroner Signalübertragung.

Parallele und serielle Signalübertragung

Bei paralleler Signalübertragung werden mehrere Datenbits gleichzeitig über mehrere physikalische Leitungen übertragen. Zur Synchronisation dieser Leitungen sind zusätzliche Steuerleitungen notwendig. Beispielsweise verarbeiten Mikroprozessoren Daten parallel. /PLA 17/

Bei der seriellen Datenübertragung werden dagegen die Bits über nur eine Datenleitung zeitlich nacheinander übertragen. Eine Umsetzung zwischen paralleler und serieller Datenübertragung kann mittels spezieller Baugruppen, die als SerDes (Serializer Deserializer) bezeichnet werden, erfolgen. Diese Bausteine können ebenfalls mit den I/O-Blöcken des KEK umgesetzt werden.

Synchrone und asynchrone Signalübertragung

Bei der asynchronen Übertragung müssen den beiden Kommunikationspartnern vor der Übertragung die Datenrate, das Datenformat und die Art der Steuersignale bekannt sein. Der zeitliche Abstand zwischen den zu übertragenden Zeichen spielt keine Rolle. Jedes Zeichen stellt für sich ein komplettes Datenpaket dar, das durch Start- und Stopbits begrenzt ist. /KAF 07/ Das Verfahren wird als asynchron bezeichnet, da während der Übertragung eines Zeichens Sender und Empfänger zwar mit möglichst synchronem, aber mit unabhängigen Takten arbeiten. /KOW 02/

Bei der synchronen Datenübertragung wird über eine längere Zeit ein Gleichlauf zwischen Sender und Empfänger durch Synchronisierung garantiert. Diese Synchronisierung erfolgt entweder über eine eigene Taktleitung oder durch Rückgewinnung des Takts aus dem Signalwert. /KOW 02/

4.2.3.3 Ableitung von Unterscheidungskriterien aufgrund der möglichen Standards für I/O-Blöcke von KEK

Wie im letzten Absatz beschrieben, können Daten auf verschiedenste Weise übertragen werden. Es gibt sowohl unterschiedliche I/O-Standards als auch verschiedene Kommunikationsstandards. Die I/O-Blöcke der KEK müssen mit diesen verschiedenen Möglichkeiten umgehen können. Sie sind daher frei programmierbar und können so an den jeweiligen I/O- oder Kommunikationsstandard angepasst werden. Da für alle KEK gleichermaßen gilt, dass ihre I/O-Blöcke an verschiedene I/O- und Kommunikationsstandards angepasst werden können, ergibt sich die Frage nach der Nutzung einer Kommunikationsweise anhand der Anforderungen durch das System, in dem die KEK eingesetzt werden sollen. Ein Diversitätskriterium für die Auswahl von KEK lässt sich demnach für die Wahl der I/O-Blöcke bzw. ihrer Anpassungsfähigkeit an die verschiedenen Kommunikationsmöglichkeiten nicht ableiten. Es können jedoch unterschiedliche I/O- und Kommunikations-Standards ausgewählt werden, die als Diversitätsmerkmal bei der Entwicklung der sicherheitstechnischen Anwendung mit KEK in Betracht gezogen werden können.

4.2.4 Speicher

Bei der Konfiguration von KEK werden Methoden unterschieden, die eine einmalige oder eine mehrmalige Konfiguration ermöglichen. Bei mehrmals konfigurierbaren KEK wird die Konfiguration in Speicherzellen gespeichert. Bei einmaliger Konfiguration werden die

physikalischen Eigenschaften der Verbindungswege dauerhaft konfiguriert. Darüber hinaus werden zwei Arten von Halbleiterspeichern unterschieden, flüchtige (volatile) und nichtflüchtige Speicher. Während bei flüchtigen Speichern die Daten ohne Stromversorgung bzw. beim Ausschalten verloren gehen, bleiben bei nichtflüchtigen Speichern die Informationen auch ohne Stromversorgung und bei Ausschalten der Komponente erhalten. Einige Beispiele für flüchtige und nicht flüchtige Speicher sind in Tab. 4.7 aufgeführt.

Tab. 4.7 Beispiele für flüchtige und nichtflüchtige Speicher

Flüchtige Speicher	Bemerkung
SRAM	Speicher mit wahlfreiem Zugriff, jede Speicherzelle direkt ansprechbar. Speicherndes Element: Flip-Flop. Schnell auszulesen (ns-Bereich), Abmessungen größer als beim DRAM
DRAM	Speicherndes Element: Kondensator wird ge- oder entladen, der über Schalttransistor ausgelesen oder beschrieben wird. Große Speichermengen bei mittleren Zugriffszeiten. Speicherinhalt muss zyklisch aufgefrischt werden.
ROM	Kein Schreibzugriff, Dateninhalt wird bei der Herstellung festgelegt und ist dann nicht mehr veränderbar.
PROM	Einmal neu programmierbar.
EPROM	Mittels UV-Licht löschar und dann neu programmierbar (100-200 Löschvorgänge möglich).
EEPROM	Elektrisch wort- und byteweise beschreib- und löschar (1-10 ms pro Schreibzyklus).
Flash EEPROM	Elektrisch sektorenweise schreib- und löschar (1µs-1ms pro Schreibzyklus).
MRAM	Ausnutzen von Eigenschaften bestimmter Materialien, die ihren elektrischen Widerstand unter dem Einfluss magnetischer Felder ändern.
FRAM	Speicherndes Element: ferroelektrisches Dielektrikum, das auch ohne externes elektrisches Feld permanente elektrische Polarisation besitzt Speichermechanismus beruht darauf, dass durch externes elektrisches Feld Polarisation geändert wird

KEK mit flüchtigen Speichern müssen nach Unterbrechung der Stromversorgung erneut konfiguriert werden. Während also KEK mit flüchtigen Speicherzellen erst einen Ladezyklus für die Konfiguration durchlaufen müssen, sind KEK mit nichtflüchtigen Speichern direkt nach dem Einschalten der Stromversorgung betriebsbereit.

Bei der Antifuse-Technologie wird der Schaltzustand der Schaltboxen und folglich der Zustand der Speicherzellen durch Erzeugen einer elektrisch leitenden Verbindung

zwischen vorher voneinander elektrisch isolierten Verbindungsleitungen realisiert. Ein nicht flüchtig und nicht mehr veränderbarer Speicher entsteht, d. h. Antifuse-FPGAs sind nur einmal programmierbar. Die Antifuse-Technologie erfordert die wenigsten Ressourcen. Die Herstellung von Antifuse-FPGAs ist jedoch komplexer als die von SRAM-basierten und Flash-basierten KEK. PROMs können beispielsweise sowohl in Fuse- als auch in Antifuse-Technologie realisiert werden.

4.2.4.1 Ableitung von Unterscheidungskriterien aufgrund der Speichertechnologie

Für alle im Rahmen des Vorhabens ausgewählten KEK wurde untersucht, welche Speichertechnologien zum Einsatz kommen. In Tab. 4.8 sind die Speichertechnologien der betrachteten KEK dargestellt.

Tab. 4.8 Vergleich der Speichertechnologien

Speichertechnologie Hersteller	S-/D-/ultra-RAM ²³	Flash, EEPROM	1)SRAM+Flash, 2)SRAM+PROM	Antifuse
Intel/Altera	Stratix 5/10, Arria 10/V, Cyclone V, 10	MAX II, V CPLD	1)MAX 10	
Xilinx	Spartan 6, Zynq 7000, Spartan/ Virtex/Kintex/Artix 7, Virtex/Kintex Ultrascale/Ultrascale+ Coolrunner II CPLD		1)Virtex 5	
Microchip	AT40k, ATF280F	ATF 750C/ 1504/ 2500C CPLD		
Lattice Semi	ECP3		1)MachX0, XP2	
Microsemi	MX		1)IGLOO2, ProASIC3, ProASICplus 2)Polarfire, RTG4	eX, SX-A MX (+SRAM)

Es ist zu erkennen, dass lediglich die Firma Microsemi FPGAs mit Antifuse-Technologie anbietet. Ausschließlich mit Flash-Speicher ausgestattet sind lediglich CPLDs der Firma

²³ Speziell von Xilinx entwickelter RAM.

Intel/Altera und KEK der Firma Microchip. Alle anderen betrachteten Komponenten beinhalten SRAM-Speicher. Manche KEK sind zusätzlich zum SRAM-Speicher mit Flash- oder PROM-Speichern ausgestattet, verfügen also über beide Varianten.

Wird zusätzlich zur Speicherart die Art der Logikblöcke in Abb. 4.12 betrachtet, wird offensichtlich, dass die Antifuse-FPGAs der Firma Microsemi ausschließlich auf Multiplexern basieren. Rein nichtflüchtige CPLDs basieren entweder auf LUT (Firma Intel) oder auf SPLD (Firma Microchip). Rein volatile CPLDs basieren auf SPLD. Rein volatile FPGAs basieren auf LUT oder Multiplexern.

Die Auswertung der Speicherart lässt die Schlussfolgerung zu, dass dieser Parameter als Diversitätskriterium betrachtet werden kann, da auf diese Weise unterschiedliche Speichertechnologien gewährleistet werden können.

Tab. 4.9 Vergleich der Speicher und Logikblöcke

Speichertechnologie Logikblock	Flüchtig	Nichtflüchtig	Beides	Antifuse
LUT	Intel Stratix, Arria, Cyclone Xilinx Spartan 6, Zynq 7000, 7er Reihe, Virtex, Kintex US/US+ Lattice Semi ECP3 Microchip AT40K, ATF280F	Intel Max II, V CPLD	Intel Max 10 FPGA Microsemi IGLOO2, Polarfire, RTG4 Lattice Semi Mach XO, XP2	
Multiplexer	Microsemi MX		Microsemi ProAsic3, ProAsicPlus	Microsemi ex, SX-A, MX
SPLD	Xilinx Coolrunner II CPLD	Microchip ATF 750C/1504/ 2500C CPLD		

4.2.5 Takt

Alle Komponenten der KEK, die beispielsweise zusammengeschaltet wurden, um eine bestimmte Funktion auszuführen (siehe Abb. 4.12), müssen in der Regel synchron, d. h. zeitgleich geschaltet werden. Um dies zu ermöglichen, muss ein Taktsignal (Clock) an diese Komponenten (Register, Flip-Flops, etc.) übergeben werden. Das synchronisierende Taktsignal wird dem Chip entweder von außen zugeführt oder auf dem Chip selbst erzeugt. In beiden Fällen wird der Takt von einem zentralen Punkt aus an die Komponenten weitergeleitet. /MAX 04/

In fast jeder Digitalschaltung kommt es vor, dass verschiedene Bereiche nicht bei jedem Takt eine Aktion ausführen sollen. Einige laufen sogar mit einer erheblich geringeren Taktrate als der Rest der Schaltung. Dazu muss aus dem relativ schnellen Systemtakt ein langsamer Takt gewonnen werden. /MIK 18/ KEK verfügen demnach in der Regel nicht nur über ein einziges Taktsignal, sondern über ein Taktnetzwerk, welches sich in mehrere Taktdomänen unterteilen kann. Ein Aufbau mit mehreren Taktsignalen ist in Abb. 4.13 dargestellt. Ein Signal D_0 , wird hier von einem mit Takt CLK_A getakteten Modul A erzeugt und zu einem mit Takt CLK_B getakteten Modul B übertragen. Sollen beide Takte CLK_A und CLK_B synchron sein, müssen beide die gleiche Frequenz und eine bekannte und feste Phasenverschiebung aufweisen. /KES 13/

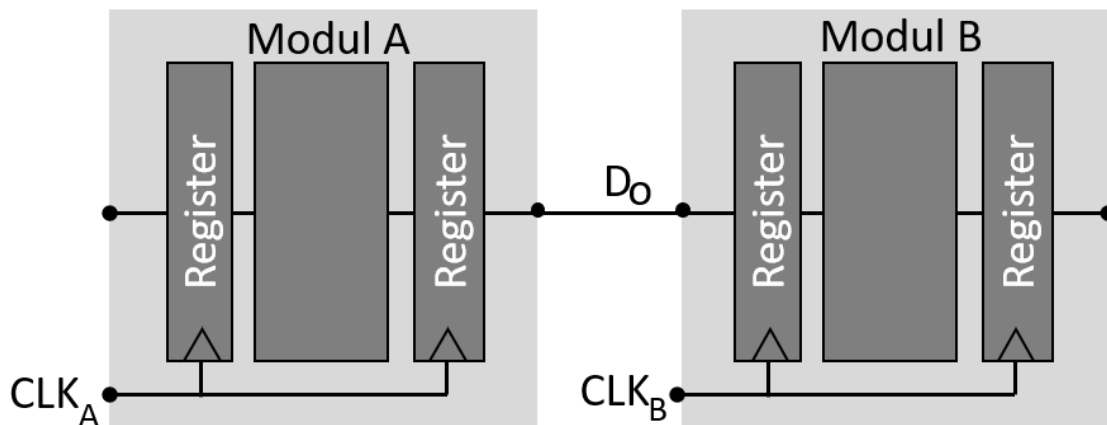


Abb. 4.13 Aufbau eines KEK mit unterschiedlichen Taktdomänen /KES 13/

Da heutige KEK aus sehr vielen Komponenten bestehen, muss das Taktnetzwerk sehr viele Gatter-Eingänge mit einem Taktsignal versorgen (einige Dutzend bis einige Hunderttausend!). Dazu wird ein spezieller Taktreiber genutzt. Die Laufzeit vom Eingang des Takttreibers zu jedem Endpunkt des Netzes muss idealerweise exakt gleich sein.

Nur so ist gewährleistet, dass alle Komponenten zum gleichen Zeitpunkt schalten und die Synchronität gewährleistet ist.

Aufgrund unterschiedlicher Signallaufzeiten entlang der Verbindungsleitungen zwischen den Logikblöcken sowie durch den Einsatz mehrerer Takte auf einem KEK kann es aus verschiedenen Gründen dazu kommen, dass die Synchronität nicht mehr gewährleistet ist. Hierzu zählt /KES 18/

- Latenzzeit: Zeit, die das Taktsignal vom Eingang des Chips oder der Taktquelle bis zu den Komponenten des Chips (z. B. den Flip-Flops) benötigt.
- Taktversatz (Clock Skew): Ein Taktversatz entsteht, wenn das Taktsignal zu unterschiedlichen Zeitpunkten an den verschiedenen Komponenten des Chips (z. B. den Flip-Flops) ankommt. Der wesentliche Einfluss auf den Taktversatz resultiert aus unterschiedlichen Latenzzeiten, Temperaturunterschieden, Fertigungstoleranzen und sonstigen elektromagnetischen Störungen.
- Jitter: Als Jitter bezeichnet man die Abweichung der Taktflanke von ihrer idealen Lage. Man unterscheidet deterministischen und zufälligen Jitter. Ursache für zufälligen Jitter sind thermisches Rauschen, ungleichmäßige Dotierung des Halbleitermaterials und andere zufällige Störungen wie kosmische Strahlung. Ursache für deterministischen Jitter können periodische Störsignale und unterschiedliche Steilheit der Signalfanken sein.
- Glitches: neben gewünschten Schaltflanken des Taktsignals können ultrakurze Flanken auftreten, die als Schaltflanken von den angesteuerten Komponenten des Chips (z. B. Flip-Flops) interpretiert werden und dort bzw. an den dort nachgelagerten Funktionseinheiten zu Schaltaktivitäten führen /MIK 18/

Um die Phasenlagen von Takten anzupassen, werden in FPGAs häufig DLLs (Delay Locked Loop) oder PLLs (Phase-Locked-Loop) benutzt. /KES 13/

Eine DLL vergleicht die Phasenlage eines Referenztaktes mit einem Takt gleicher Frequenz aber unbekannter Phasenlage (siehe Abb. 4.14). Aus dem Phasenvergleich wird ein Korrektursignal abgeleitet, mit dem eine Verzögerungsstrecke in der DLL mit variabler Verzögerung t_{DLL} angesteuert wird. Am Ende dieser Strecke liegt eine verzögerte Version CLK_{DLL} des Referenztaktes vor. Die Verzögerung t_{DLL} der Strecke wird von der DLL dynamisch während des Betriebs soweit vergrößert, bis $t_{DLL} + \Delta T = T$ gilt, wobei ΔT die Phasenverschiebung zwischen Referenztakt und dem bestehenden Takt und T die

Periodendauer bezeichnet. Durch die Verschiebung des damit erzeugten Taktes CLK_B um T sind beide Takte effektiv wieder in Phase. /KES 13/

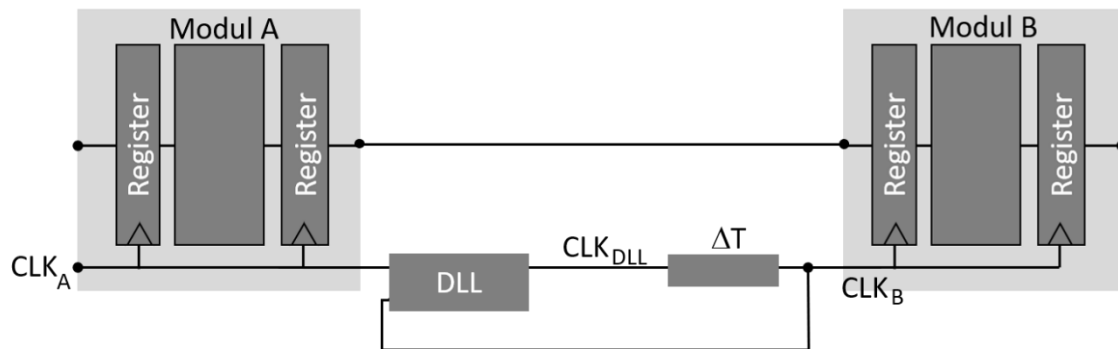


Abb. 4.14 KEK-Aufbau mit DLL /KES 13/

PLLs besitzen gegenüber DLLs einen internen, spannungsgesteuerten Oszillator (VCO). Ein Phasendetektor vergleicht den Referenztakt mit dem vom VCO generierten Takt. Ein nachfolgender Regler glättet dieses Signal und steuert damit die Schwingfrequenz des VCO. /KES 13/ Werden Referenztakt und/oder VCO-Takt vor dem Vergleich geteilt, schwingt der VCO mit einer synchronen abgeleiteten Frequenz. Eine Taktaufbereitung sorgt dafür, dass überall auf dem KEK ein synchroner Takt zur Verfügung steht, zusätzlich kann dieser mit Hilfe von PLL-Regelkreisen oft noch in der Phase verändert werden. Damit das Phasenrauschen möglichst gering ist, besitzen die PLLs in den FPGAs üblicherweise eine separate Spannungsversorgung. /KRA 14/

4.2.5.1 Ableitung von Unterscheidungskriterien aufgrund der Art des Taktmanagements

Im Rahmen des Vorhabens wurde untersucht, welche der betrachteten KEK über ein Taktmanagement mittels DLLs und PLLs verfügen. Das Ergebnis ist in Tab. 4.10 dargestellt. Es zeigt sich, dass die Firma Microchip der einzige Hersteller ist, der keine KEK mit PLL oder DLL anbietet. Alle anderen Hersteller verfügen über Komponenten mit den verschiedenen Möglichkeiten. Lediglich ein Takt-Management ausschließlich mit DLL wird von keinem Hersteller angeboten. Keiner der betrachteten CPLDs verfügt über PLL oder DLL.

Da das Taktmanagement bei den im Vorhaben betrachteten KEK der verschiedenen Hersteller unterschiedlich realisiert wird, wird basierend auf dieser Auswertung ein Diversitätskriterium für das Taktmanagement abgeleitet.

Tab. 4.10 PLL und DLL der untersuchten KEK

Hersteller Takt- Management	Lattice Semi	Microsemi	Intel/ Altera	Xilinx	Microchip
Keine	XO256, XO640	eX, SX-A, MX	Max II, 5 CPLD	Coolrunner II CPLD	AT40K, ATK280F ATF1504, 2500C, 750C CPLD
PLL	XO1200, XO2280 XP2	IGLOO2, RTG4, ProAsic3, ProAsicplus	Stratix 5, 10 Max 10	Virtex 5, Spartan 6, Virtex/Kin- tex/Artix/Spartan 7, Virtex/Kintex Ultrascale+, Zync7000	-
DLL	-	-	-	-	-
PLL+DLL	ECP3	PolarFire	Arria V, 10, Cyclone 5, 10	Virtex/Kintex Ult- rascale	-

4.3 Charakteristika von KEK

Im letzten Abschnitt wurde der grundlegende Aufbau von KEK beschrieben. Darüber hinaus gibt es weitere charakteristische Eigenschaften und Merkmale von KEK, anhand derer sie unterschieden werden können. Hierzu zählen die minimale Strukturgröße und die Komponentendichte auf dem KEK, die Spannungsversorgung, der Temperaturbereich, in dem KEK eingesetzt werden können und die Strahlungsresistenz von KEK.

4.3.1 Minimale Strukturgröße

Wie in Kap. 4.1.2 beschrieben, werden KEK mittels Fotolithografie hergestellt. Die minimal erreichbare Größe von Komponenten und Strukturen auf dem KEK sind daher abhängig davon, welche minimalen Strukturgrößen mittels dieser Technik erreicht werden kann. Die minimale Strukturgröße ist demnach allgemein eine Größenangabe der

Halbleitertechnik und beschreibt die Kantenlänge der bestimmenden Plotter-Einheit²⁴, die bei der Fotolithografie eingesetzt wird. Die Abmessungen der damit erzeugten Strukturen sind durch Unterbelichtung und Diffusion in der Regel etwas kleiner als die für die Maske benutzte Plotter-Einheit. /KUP 06/ Da Kek mit diesem Verfahren hergestellt werden, gibt die Strukturgröße auch Aufschluss über die Strukturgrößen von KEK. KEK-Hersteller bezeichnen die minimale Strukturgröße für ihre KEK oft auch als Technologie-knoten.

Wichtige Eigenschaften von integrierten Schaltungen und damit auch von KEK, auf denen diese Schaltungen implementiert werden, korrelieren mit der verwendeten minimalen Strukturgröße. Hierzu zählen /WIK 18/:

- *Packungsdichte der Transistoren*: steigt quadratisch mit sinkender Strukturgröße.
- *Kompaktheit*: Neben der Verkleinerung der Strukturen sind auch die elementaren Komponenten, die beispielsweise auf einem KEK verbaut werden, an sich kleiner geworden. Eine DRAM-Zelle im Jahr 1990 bestand aus zwei Transistoren und nahm eine Fläche von etwa 200 μm^2 bei einer Strukturgröße von 2 μm ein. Heutzutage besteht sie aus einem Transistor und nimmt eine Fläche von ca. 144 – 128 nm^2 bei einer Strukturgröße von 22 nm ein.
- *Betriebsspannung*: sinkt mit sinkender Strukturgröße.
- *Maximale Schaltfrequenz*: steigt mit sinkender Strukturgröße.
- *Verlustleistung pro Gatter und Schaltvorgang*: sinkt mit sinkender Strukturgröße.
- *Robustheit bezüglich ionisierender Strahlung*: sinkt mit sinkender Strukturgröße.
- *Langzeitkonstanz von Eigenschaften durch Elektromigration*²⁵: sinkt mit sinkender Strukturgröße.

²⁴ Gerät, in das die Masken eingelegt werden, auf denen die Strukturen und Muster dargestellt werden, die mittels der Fotolithografie auf den Halbleiter übertragen werden sollen.

²⁵ Materialtransport durch allmähliche Bewegung von Ionen in festen Leitern, der durch elektrischen Strom verursacht wird. Elektronen kollidieren mit Ionen der Leiterbahnen und verursachen dadurch eine allmähliche Drift, durch die die Leiterbahn zerstört werden kann.

4.3.1.1 Ableitung von Unterscheidungskriterien aufgrund der minimalen Strukturgröße

Es wurde untersucht, welche minimale Strukturgrößen bei den verschiedenen betrachteten Herstellern und KEK zur Anwendung kommen. Das Ergebnis ist in Die Auswertung ergibt, dass KEK mit minimalen Strukturgrößen von 14 nm bis 180 nm angeboten werden. Alle betrachteten Hersteller bieten KEK mit unterschiedlichen minimalen Strukturgrößen an. Diversitäre Komponenten können für diesen Parameter demnach auch bei einem Hersteller erworben werden.

Tab. 4.11 aufgeführt. Die Auswertung ergibt, dass KEK mit minimalen Strukturgrößen von 14 nm bis 180 nm angeboten werden. Alle betrachteten Hersteller bieten KEK mit unterschiedlichen minimalen Strukturgrößen an. Diversitäre Komponenten können für diesen Parameter demnach auch bei einem Hersteller erworben werden.

Tab. 4.11 Minimale Strukturgröße und Transistortechnologie der betrachteten KEK

Hersteller	KEK-Typ	minimale Strukturgröße
Lattice Semi	ECP3 XP2 Mach XO	65 nm 90 nm 130 nm
Microsemi	Polarfire IGLOO2, RTG4 ProASIC3 Axcelerator eX, SX-A, ProASICplus MX	28 nm 65 nm 130 nm 150 nm 220 nm 450 nm
Intel/Altera	Stratix 10 Cyclone 10 Stratix 5, Arria V, Cyclone 5, Arria 10 MAX 10 MAX II, V	14 nm 20 nm 28 nm 55 nm 180 nm
Xilinx	Virtex/Kintex Ultrascale+ Virtex/Kintex Ultrascale Spartan/ Virtex/ Kintex/ Artix, Zynq 7000 Spartan 6 Virtex 5 Coolrunner II CPLD	16 nm 20 nm 28 nm 45 nm 65 nm 180 nm
Microchip	ATF280F, 1504, 2500C, 750C AT40K	180 nm 600 nm

Anhand der Auswertung kann geschlussfolgert werden, dass die minimale Strukturgröße als Diversitätskriterium berücksichtigt werden sollte. Mit diesem Parameter korrelieren einige Eigenschaften von KEK, die auch die Zuverlässigkeit und Robustheit von KEK betreffen. Es wird als sinnvoll erachtet, auf diversitäre KEK in diesem Punkt zu achten, um systematische Fehler aufgrund der zunehmenden Miniaturisierung zu vermeiden.

4.3.2 Komponentendichte

Neben der grundlegenden Architektur und der Strukturgröße spielt die Komponentendichte auf KEK eine Rolle. Sie wird in der Regel durch die Anzahl der verfügbaren Logikelemente angegeben, die zur Konfiguration einer integrierten Schaltung genutzt werden können. Für die Angabe der Komponentendichte bei CPLDs wird in der Regel die Anzahl der Makrozellen genannt. Wie in Kap. 4.2.1 beschrieben, handelt es sich bei der Makrozelle um den Baustein eines Logikblocks, der aus einer UND- und einer ODER-Matrix aufgebaut ist. Ein Logikblock besteht aus mehreren Makrozellen. Die Anzahl der Logikblöcke wird in der Regel nicht angegeben. Bei FPGAs wird die Komponentendichte durch die Anzahl der CLBs definiert. Dabei verwenden die Hersteller unterschiedliche Benennungen, z. B. „Logikelement“, (System-)Logikzelle, Logikeinheit, System Gate, Usable Gate oder LUT. Die Angabe der Komponentendichte ist demnach nicht einheitlich geregelt und daher im Detail schwer vergleichbar. Die Obergrenze der angegebenen Komponentendichte kann jedoch einen Hinweis darauf geben, welcher Hersteller eher KEK mit großer oder kleiner Komponentendichte anbietet. Je mehr dieser Makrozellen oder CLBs auf einem KEK existieren, um so komplexer werden auch die Funktionen, die von einem solchen KEK ausgeführt werden können. Außerdem wird der Abstand zwischen den Zellen immer kleiner, was ebenfalls Einfluss auf die Robustheit der KEK haben kann.

4.3.2.1 Untersuchungen zur Ableitung von Unterscheidungskriterien aufgrund der Komponentendichte

Das Ergebnis der Untersuchung zur Komponentendichte der im Vorhaben betrachteten KEK ist in Tab. 4.12 und Tab. 4.13 dargestellt. Da die meisten in diesem Vorhaben betrachteten KEK in mehreren Größen angeboten werden, ergibt sich eine große Spannweite der möglichen Komponentendichte. Beispielsweise wird der FPGA MachXO von Microsemi in 4 Größen angeboten: mit 256, 640, 1200 und 2280 LUT. Aus diesem Grund und aufgrund der im letzten Abschnitt beschriebenen Problematik der Vergleichbarkeit

wurden die in den Tabellen dargestellten KEK nach der maximal möglichen Komponentendichte pro KEK der jeweiligen KEK sortiert.

Tab. 4.12 KEK mit bis zu 5 Millionen Zellen pro Chip

Hersteller	Komponente	Typ	Komponentendichte pro KEK
Microchip	ATF1504AS/ASL ATF2500C	CPLD	64 Makrozellen 24 Makrozellen
Xilinx	Coolrunner II	CPLD	32-512 Makrozellen
Intel/Altera	Arria 10 GX, GT	FPGA	160-660 Logikelemente (LE), 900+1150 LE
Intel/Altera	Max II	CPLD	192-1700 Makrozellen
	Max V	CPLD	40-2210 LE
LatticeSemi	MachX0	FPGA	256-2280 LUT
Microsemi	ProASIC3 nano	FPGA	100-3k LE
Microsemi	eX	FPGA	3k-12k System Gates
LatticeSemi	XP2	FPGA	5k-17k LUT
	ECP3	FPGA	17+33k LUT
Microsemi	ProASIC3e/ L	FPGA	330-35k LE/ 3k-35k
Intel/Altera	Max 10	FPGA	2k-50k LE
Microchip	AT40K	FPGA	5k-50k Usable Gates
Microsemi	MX	FPGA	3k-54k System Gates
Xilinx	Spartan 7	FPGA	6.000-102.400 Logikzellen
Microsemi	SX-A (A54SX)	FPGA	12k-108k System Gates
Intel/Altera	Cyclone 10 LP	FPGA	6272-119.088 LE
Microsemi	IGLOO2	FPGA	6060-146.124 LE
Xilinx	Spartan 6 LX	FPGA	3.840-147.443 Logikzellen (LZ)
Microsemi	RTG4	FPGA	151.824 LE
Xilinx	Artix 7	FPGA	12.800-215.360 LZ
Intel/Altera	Cyclone 10 GX	FPGA	85-220k LE
	Cyclone V E	FPGA	25k-301k LE
	Stratix V GT	FPGA	425k LE
	Zynq7000	FPGA	444k LZ
Xilinx	Kintex 7	FPGA	65.600-477.760 LZ
Microsemi	Polarfire	FPGA	109k-481k LE

Tab. 4.13 KEK mit mehr als 5 Millionen Zellen pro Chip

Hersteller	Komponente	Typ	Komponentendichte pro KEK
Intel/Altera	Arria V GZ/ GX/ GT	FPGA	220k-450k/ 75k-504k/ 156k-504k LE
	Stratix V GT/ GS/ GX/E	FPGA	622k/ 236k-695k/ 340k-952k/ 840k+952k
Microsemi	PROASICplus (APA)	FPGA	75k-1000k System Gates
Xilinx	Kintex Ultrascale+	FPGA	356k-1143k System LZ
	Kintex Ultrascale	FPGA	318k-1451k System LZ
	Virtex 7	FPGA	582.720-1.954.560 LZ
	Virtex Ultrascale+	FPGA	862k-2852k System LZ
Intel/Altera	Stratix 10 GX	FPGA	378k-5510k LE
Xilinx	Virtex Ultrascale	FPGA	783k-5541k System LZ

Es ist zu sehen, dass CPLDs in der Regel eine geringe Komponentendichte aufweisen, während FPGAs sowohl sehr kleine als auch sehr hohe Komponentendichten aufweisen können. Die höchsten Komponentendichten werden mit 5,5 Mio Logikeinheiten bzw. Systemlogikzellen pro KEK bei den Firmen Xilinx und Intel/Altera erreicht.

Eine Analyse der von den betrachteten KEK-Herstellern angebotenen Kombinationen von Strukturgröße und Komponentendichte (Tab. 4.14) ergibt, dass die Firmen Intel und Xilinx zunehmend kleine Strukturgrößen bei großen Komponentendichten verwenden. Die Firmen Microchip und LatticeSemi bieten vor allem kleinere Komponentendichten und größere Strukturgrößen an. Die Firma Microsemi liegt im Mittelfeld zwischen den beiden Varianten. Durch den Einsatz von Komponenten unterschiedlicher Hersteller können demnach unterschiedliche Kombinationen von Strukturgrößen und Komponentendichten berücksichtigt werden.

Die Auswertung ergibt, dass die Komponentendichte wie auch bereits die Strukturgröße als Diversitätskriterium angesehen werden kann. Der Trend geht zu immer größeren Komponentendichten und muss daher hinsichtlich Diversität für die Auswahl von KEK für den Einsatz in kerntechnischen Anwendungen betrachtet werden. Durch die Verwendung von KEK mit unterschiedlichen Komponentendichten kann jedoch ein gemeinsam verursachter Ausfall aufgrund dieses Charakteristikums vermieden werden.

Tab. 4.14 Übersicht der von KEK-Herstellern angebotenen Kombinationen von Strukturgröße und Komponentendichte

K-Dichte \ St-Größe	< 1200		< 5k		< 50k	< 100k	< 150k	< 500k			< 1M	< 2M	< 6M
14 nm													Intel
16 nm												Xilinx	
20 nm							Intel	Intel				Xilinx	Xilinx
28 nm	Intel						Xilinx	Xilinx	Intel	MicSem	Intel	Xilinx	
45 nm							Xilinx						
55 nm					Intel								
65 nm					LatSem		MicSem	MicSem					
90 nm					LatSem								
130 nm			LatSem	MicSem	MicSem								
180 nm	MicCh CPLD	Xilinx CPLD	Intel CPLD										
220 nm					MicSem		MicSem				MicSem		
450 nm						MicSem							
600 nm					MicCh								

4.3.3 Spannungsversorgung

Abb. 4.15 zeigt ein typisches Spannungsversorgungssystem von FPGAs. Für CPLDs stellt es sich ähnlich dar, weshalb die folgenden Erläuterungen am Beispiel von FPGAs für beide Technologien anwendbar sind. Es ist zu erkennen, dass unterschiedliche Bereiche des FPGAs mit unterschiedlicher Spannung versorgt werden müssen. Dabei wird unterschieden zwischen Kernspannung („Core Voltage“), I/O-Spannung („I/O Voltage“) und Hilfsspannung („Auxiliary Voltage“) /LIX 18/.

Die Kernspannung versorgt die CLBs, während die I/O-Spannung die I/O-Blöcke versorgt. Die Spannungsbereiche hängen hier von dem angewandten I/O-Standard (siehe hierzu Kap. 4.2.3) ab. Die Hilfsspannung versorgt bei Bedarf die Hilfsstromkreise im FPGA sowie einige zum FPGA zugehörige externe Blöcke.

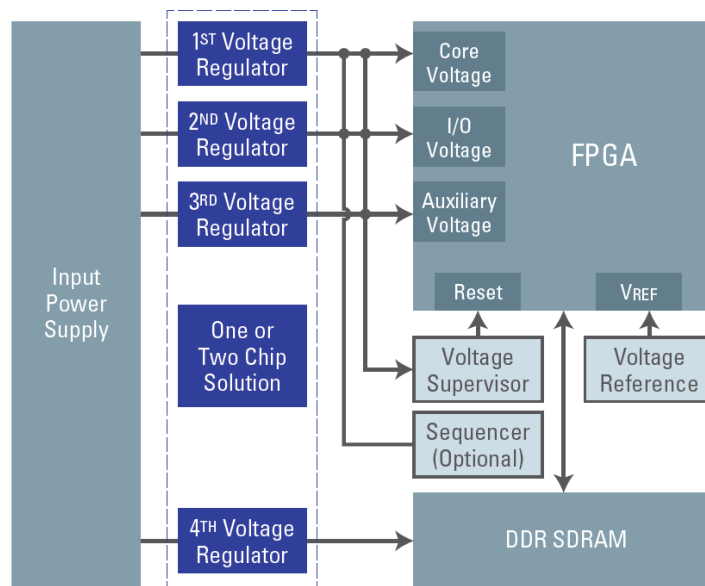


Abb. 4.15 Typisches Spannungsversorgungssystem von FPGAs /LIX 18/

4.3.3.1 Ableitung von Unterscheidungskriterien aufgrund der Spannungsversorgung

Für einige ausgewählte KEK wurden die maximalen und die empfohlenen Werte der Spannungsversorgung untersucht und verglichen.

Die maximal zulässige und die empfohlene Kernspannung ist für die ausgewählten KEK vergleichend in Tab. 4.15 dargestellt. Es ist erkennbar, dass die maximal zulässige Kernspannung bei allen KEK bei -0,3 oder -0,5 V beginnt. Die obere Grenze liegt zwischen

1,1 und 7 V. Der empfohlene Spannungsbereich ist in der Regel deutlich kleiner als der maximal zulässige Bereich. Die untere Grenze beginnt beispielsweise bei einem Wert von mindestens 0,77 V.

Tab. 4.15 Kernspannung einiger ausgewählter KEK

Hersteller	KEK	Kernspannung	
		Maximal [V]	Empfohlen [V]
Lattice Semi	Mach XO XP2 ECP3	-0,500 bis 1,320	1,140 bis 1,260
Microsemi	IGLOO2 RTG4	-0,300 bis 1,320	1,140 bis 1,260
	ProAsic3	-0,300 bis 1,650	1,425 bis 1,575
	eX	-0,300 bis 3,000	2,300 bis 2,700
	SX-A	-0,300 bis 4,000	3,000 bis 3,600
	MX	-0,500 bis 7,000	4,750 bis 5,250
Intel/Altera	Stratix 10	-0,500 bis 1,260	0,770 bis 0,970
	Arria 10	-0,500 bis 1,210	0,870 bis 0,930
	Arria V	-0,500 bis 1,430	1,070 bis 1,130
Xilinx	Kintex 7	-0,500 bis 1,100	0,970 bis 1,030
	Artix 7	-0,500 bis 1,100	0,950 bis 1,050
Microchip	AT40K	-0,500 bis 7,000	4,750 bis 5,250
	ATF280F	-0,300 bis 2,000	3,000 bis 3,600

In Tab. 4.16 ist die I/O-Spannung für die ausgewählten KEK dargestellt. Auch hier beginnt der zulässige minimale Wert bei allen betrachteten KEK bei -0,5 bis -0,3 V, während die maximal zulässige Grenze bei unterschiedlichen Werten zwischen 2 und 4,15 V liegt. Die empfohlenen Spannungsbereiche werden in der Regel in Abhängigkeit der möglichen Signalpegelstandards angegeben.

Beispielsweise liegt der empfohlene Spannungsbereich für einen Signalpegel von 1,2 V bei Produkten der Firmen Microsemi und Intel/ Altera bei 1,14 bis 1,26 V. Bei Produkten der Firmen Xilinx werden die Wertebereiche nicht einzelnen Signalpegelstandards zugeordnet, die Grenzen lassen sich jedoch mit den Spannungsbereichen der Signalpegel

übereinbringen, die bei den Firmen Microsemi und Intel/Altera angegeben werden. Wie in Tab. 4.16 dargestellt, bieten die Hersteller nicht jeden KEK für alle Signalpegel, sondern lediglich eine Auswahl mehrerer Signalpegel an.

Tab. 4.16 I/O-Spannung einiger ausgewählter KEK

Hersteller	KEK	I/O-Spannung	
		Maximal [V]	Empfohlen [V]
Lattice Semi	Mach XO XP2 ECP3	-0,500 bis 3,750	1,140 bis 3,600
Microsemi	Polarfire	1,8V: -0,500 bis 2,000 2,5V: -0,500 bis 2,700	1,8V: 1,710 bis 1,890 2,5V: 2,425 bis 2,575
	IGLOO2	-0,300 bis 3,630	1,2 V: 1,140 bis 1,260 1,5 V: 1,425 bis 1,575 1,8 V: 1,710 bis 1,890 2,5 V: 2,375 bis 2,625 LVDS: 2,375 bis 3,450 3,3 V: 3,150 bis 3,450 5 V: 4,750 bis 5,250
	RTG4		
Intel/Altera	Stratix 10	3V: -0,500 bis 4,100 LVDS: -0,500 bis 2,460	1,2 V: 1,140 bis 1,260 1,25 V: 1,190 bis 1,310 1,35 V: 1,283 bis 1,418
	Arria 10		
	Arria V	-0,500 bis 3,900	1,5 V: 1,425 bis 1,575 1,8 V: 1,710 bis 1,890 2,5 V: 2,375 bis 2,625 3 V: 2,850 bis 3,150 3,3 V: 3,135 bis 3,465
Xilinx	Kintex 7	-0,500 bis 2,000/ 3,600	1,140 bis 1,890 / 3,465
	Artix 7	-0,500 bis 3,600	1,140 bis 3,465
Microchip	ATF280F	-0,300 bis 4,000	3,000 bis 3,600

Die Hilfsspannung einiger ausgewählter KEK ist in Tab. 4.17 dargestellt. Bei den Firmen Microchip und Microsemi konnten keine Angaben zur zulässigen Hilfsspannung ermittelt werden.

Auch bei den anderen Herstellern konnten nur zu wenigen KEK Informationen zur Hilfsspannung gefunden werden. Bei den KEK von der Firma Lattice Semi sind die maximal zulässigen und empfohlenen Wertebereiche für alle KEK gleich. Bei der Firma

Intel/Altera ist der empfohlene Wertebereich für alle KEK gleich, der maximal zulässige Spannungsbereich unterscheidet sich jedoch für alle KEK leicht. Bei der Firma Xilinx sind die Werte der 7er-Serie der KEK zwar gleich, jedoch unterscheiden sich ansonsten die Wertebereiche für alle KEK.

Tab. 4.17 Hilfsspannung für einige ausgewählte KEK

Hersteller	KEK	Hilfsspannung	
		Maximal	Empfohlen
Lattice Semi	Mach XO	Keine Angabe	3,135 bis 3,465 V
	XP2 ECP3	-0,5 bis 3,75 V	3,135 bis 3,465 V
Intel/Altera	Statix 5	-0,5 bis 3,4 V	2,375 bis 2,625 V
	Arria V	-0,5 bis 3,25 V	2,375 bis 2,625 V
	Cyclone 5	-0,5 bis 3,9 V	2,375 bis 2,625 V
Xilinx	Kintex/Artix/ Spartan/ Virtex 7	-0,5 bis 2 V	1,71 bis 1,89 V
	Spartan 6	-0,5 bis 3,75 V	2,375 bis 2,625 V bzw. 3,15 bis 3,45 V
	Virtex 5	-0,5 bis 3 V	2,375 bis 2,625 V
	Kintex Ultrascale	-0,5 bis 2 V	1,746 bis 1,854 V

Da die Werte der Spannungsversorgung alle sehr unterschiedlich sind und teils auch abhängig von dem jeweiligen KEK sind, kann aus dieser Auswertung geschlussfolgert werden, dass sich dieser Parameter nicht als Diversitätskriterium eignet.

Die angegebenen Wertebereiche müssen jedoch bei der Entwicklung von KEK und auf KEK basierten Leittechniksystemen Berücksichtigung finden, um sie im empfohlenen Spannungsbereich zu betreiben und Situationen, in denen der maximal zulässige Wertebereich verlassen wird, zu unterbinden.

4.3.4 Temperaturbereich

Das kerntechnische Regelwerk fordert, dass Komponenten – also auch KEK – für die Umgebungsbedingungen geeignet sein müssen, in denen sie später eingesetzt werden sollen. Ein wesentlicher Parameter, der auf die Funktionsfähigkeit von KEK Einfluss nehmen kann, ist die Umgebungstemperatur.

4.3.4.1 Untersuchung zur Ableitung von Unterscheidungskriterien aufgrund von Anforderungen an den Temperaturbereich

Für die ausgewählten KEK wurden die in den Datenblättern genannten Temperaturbereiche, in denen die KEK betrieben werden dürfen, untersucht. In der Regel gibt es Angaben zu empfohlenen und zu maximal zulässigen Temperaturbereichen. Dabei wird unterschieden zwischen der Umgebungstemperatur und der Chip-Temperatur („junction temperature“). Es konnten nicht zu jedem KEK immer beide Temperaturangaben ermittelt werden. Das Ergebnis der Auswertung ist für empfohlene und maximal zulässige Temperaturbereiche für alle untersuchten KEK im Anhang B in Tab. B.1 dargestellt.

Es ist zu erkennen, dass die Hersteller in der Regel KEK für den Einsatz in den in Tab. 4.18 zusammengefassten Temperaturbereichen im Angebot haben. Die Auswertung ergibt für die Temperatur des KEK im Gehäuse („Junction Temperature“) fünf verschiedene empfohlene Temperaturbereiche, die von den verschiedenen Herstellern angeboten werden. Diese ergeben sich aufgrund der unterschiedlichen vom Hersteller angebotenen Anwendungsgebiete der KEK:

- Kommerziell („Commercial Grade“): KEK für den Einsatz in Handys, Spielekonsolen, Smart Watch, etc.
- Industriell („Industrial Grade“): KEK für Industrieanwendungen, z. B. für den Einsatz in Sensoren, Messtechnik oder in Robotersystemen
- Erweitert („Extended Grade“): KEK für den Einsatz in Anwendungsfeldern, bei denen höhere Temperaturen als im kommerziellen Bereich auftreten können, aber keine so tiefen Temperaturen wie im industriellen Bereich erreicht werden.
- Automobil („Automotive Grade“): KEK für den Einsatz im Automobilbereich
- Militärisch („Military Grade“): KEK für den Einsatz in militärischen Systemen und Anwendungen.

Von den KEK gibt es demnach verschiedene Versionen, die jeweils in unterschiedlichen Temperaturbereichen eingesetzt werden können. Beim Bestellvorgang kann angegeben werden, welche Version des KEK geliefert werden soll. Die Temperaturbereiche sind in Tab. 4.18 für die untersuchten Hersteller aufgeführt. Die Wertebereiche sind bei vier der fünf untersuchten KEK-Hersteller identisch, lediglich die Firma Microchip unterscheidet sich hier. Der Unterschied bei den Temperaturangaben für industrielle und kommerzielle KEK zwischen der Firma Microchip und den anderen Herstellern kommt daher, dass die

Firma Microchip für industrielle und kommerzielle Anwendungen nicht die Temperatur des KEK im Gehäuse sondern die Umgebungstemperatur angibt. Für militärische Anwendungen geben sie die Temperatur des KEK im Gehäuse an, der identisch ist mit den Werten der anderen KEK-Hersteller. Die anderen Hersteller geben die Werte immer für die Temperatur des KEK im Gehäuse an.

Tab. 4.18 Maximal zulässige Temperaturbereiche für KEK der untersuchten Hersteller

	LatticeSemi	Microsemi	Intel/ Altera	Xilinx	Microchip
Industriell	-40 – 100 °C	-40 – 100 °C	-40 – 100 °C	-40 – 100 °C	-40 – 85 °C
Kommerziell	0 – 85 °C	0 – 85 °C	0 – 85 °C	0-85 °C	0 – 70 °C
Erweitert	-	0 – 100 °C	0 – 100 °C	0 – 100 °C	-
Automobil	-40 – 125 °C	-	-40 – 125 °C	-40 – 125 °C ²⁶	-
Militärisch	-	-55 – 125 °C	-	-55 – 125 °C	-55 – 125 °C

Es konnte im Rahmen der Untersuchungen herausgefunden werden, dass es in verschiedenen Standards Anforderungen gibt, bei welchen Umgebungstemperaturen die KEK funktionsfähig sein müssen Dies gilt vor allem für die Automobilindustrie und die militärischen Anwendungen.

Die AEC Q100 /AEC 14/ definiert verschiedene Temperaturbereiche, die entsprechend von den Produkten der KEK-Hersteller bei Angabe der Erfüllung dieses Standards für Automobilanwendungen als Betriebstemperaturen möglich sind.

Folgende Bereiche für die Umgebungstemperatur werden definiert /AEC 14/:

- Grade 0: -40 °C bis 150 °C Betriebsumgebungstemperatur,
- Grade 1: -40 °C bis 125 °C Betriebsumgebungstemperatur,
- Grade 2: -40 °C bis 105 °C Betriebsumgebungstemperatur,
- Grade 3: -40 °C bis 85 °C Betriebsumgebungstemperatur.

Beim Vergleich der Wertebereiche mit den in Tab. 4.18 gezeigten Temperaturangaben für den Automobilbereich ist zu erkennen, dass der Wertebereich mit Grade 1 aus AEC

²⁶ Bei Xilinx heißt dieser Temperaturbereich „Expanded“ und nicht „Automotive“

Q100 übereinstimmt. Mit dieser Einstufung soll gewährleistet werden, dass die KEK nur in Temperaturbereichen eingesetzt werden, für den sie ausgelegt sind. Beispielsweise herrschen beim Auto in der Nähe des Motors höhere Temperaturen als im Innenraum des Autos. Entsprechend sind bei der Auslegung und dem Design unterschiedliche „Grades“ festzulegen und die Komponenten entsprechend dieses „Grades“ auszusuchen.

Äquivalent hierzu legt der militärische Standard MIL-PRF-38535J einen militärischen Betriebstemperaturbereich von -55 °C bis 125 °C fest, welcher ebenfalls von den jeweiligen Herstellern in diesem Bereich angegeben wird. /MIL 10/

Insgesamt kann aus der Auswertung geschlussfolgert werden, dass der Temperaturbereich nicht als Diversitätskriterium geeignet ist. Grundsätzlich müssen beim Einsatz von KEK und beim Bau von KEK-basierten Leittechniksystemen die Anforderungen an die Temperatur eingehalten werden. Demnach sind bestimmte Anforderungen zu erfüllen und eine Diversität ist nicht möglich.

4.3.5 Strahlungsresistenz

Die Unempfindlichkeit eines Materials gegenüber der Einwirkung von Strahlung wird als Strahlungsresistenz bezeichnet. Es gibt verschiedene Mechanismen aufgrund derer Strahlung zu unterschiedlichen Schädigungen eines mikroelektronischen Bauteils führen kann. Teilchenstrahlung und hochenergetische Gammastrahlung kann zu als Gitterfehler bezeichneten Unregelmäßigkeiten in ansonsten periodischen Kristallgittern führen. Der Durchgang von geladenen Teilchen, Röntgenstrahlung und ultravioletter Strahlung kann zudem Ionisationseffekte in mikroelektronischen Bauteilen hervorrufen. Ausführliche Informationen zum Thema Strahlungseinfluss auf mikroelektronische Bauteile finden sich zum Beispiel im GRS-Bericht „Entwicklung einer Bewertungsgrundlage für die Zuverlässigkeit programmierbarer und rechnerbasierter Komponenten im Kernkraftwerk bezüglich Strahlungseinfluss“ /GRS 19/.

Wie in Ka. 4.3.1 beschrieben, sinkt die Robustheit gegenüber ionisierender Strahlung mit sinkender Strukturgröße. Strahlungsharte KEK werden demnach neben weiteren Maßnahmen typischerweise über größere Strukturen verfügen. Diese Maßnahmen wirken sich vermutlich insgesamt positiv auf die Robustheit von KEK aus, nicht nur in Bezug auf Strahlung.

4.3.5.1 Ableitung von Unterscheidungskriterien aufgrund der Strahlungsresistenz

Die Strahlungsresistenz ist eine allgemeine Anforderung an KEK, die je nach vorgesehenem Einsatzort eingehalten werden muss. Somit kann sie nicht als Diversitätskriterium genutzt werden kann. Daher wurde dieser Aspekt im Rahmen dieses Vorhabens nicht weiter untersucht.

4.4 Gehäuse

KEKs werden zum Schutz gegen Beschädigungen in ein Gehäuse eingebaut. Hauptgründe für die Notwendigkeit eines Gehäuses sind der Schutz des Chips gegen Beschädigung und die Überbrückung unterschiedlicher geometrischen Abstände der elektrischen Anschlüsse auf dem Chip und einer Leiterplatte.

Beim KEK werden die I/O-Blöcke auf dem Siliziumchip jeweils mit Anschluss-Pads verbunden, die wiederum über Bonddrähte mit den Pins des Gehäuses verbunden sind.
/KRA 14/

Bei der Montage von Gehäusen wird zwischen der Verbindung von Gehäuse und Chip sowie von Gehäuse und Leiterplatte unterschieden.

Verbindung zwischen Halbleiterelement und Gehäuse

Bei Gehäusetypen werden zwei verschiedene Varianten unterschieden: bedrahtete durchsteckmontierbare Bauformen (Abb. 4.16) oder oberflächenmontierbare Bauformen (Abb. 4.17) elektronischer Bauelemente. Die Untersuchung zu Gehäuseformen, die von den verschiedenen Herstellern angeboten werden, ergab, dass bei KEK hauptsächlich oberflächenmontierbare Bauformen zum Einsatz kommen. Daher wird im Folgenden nur auf diese eingegangen.

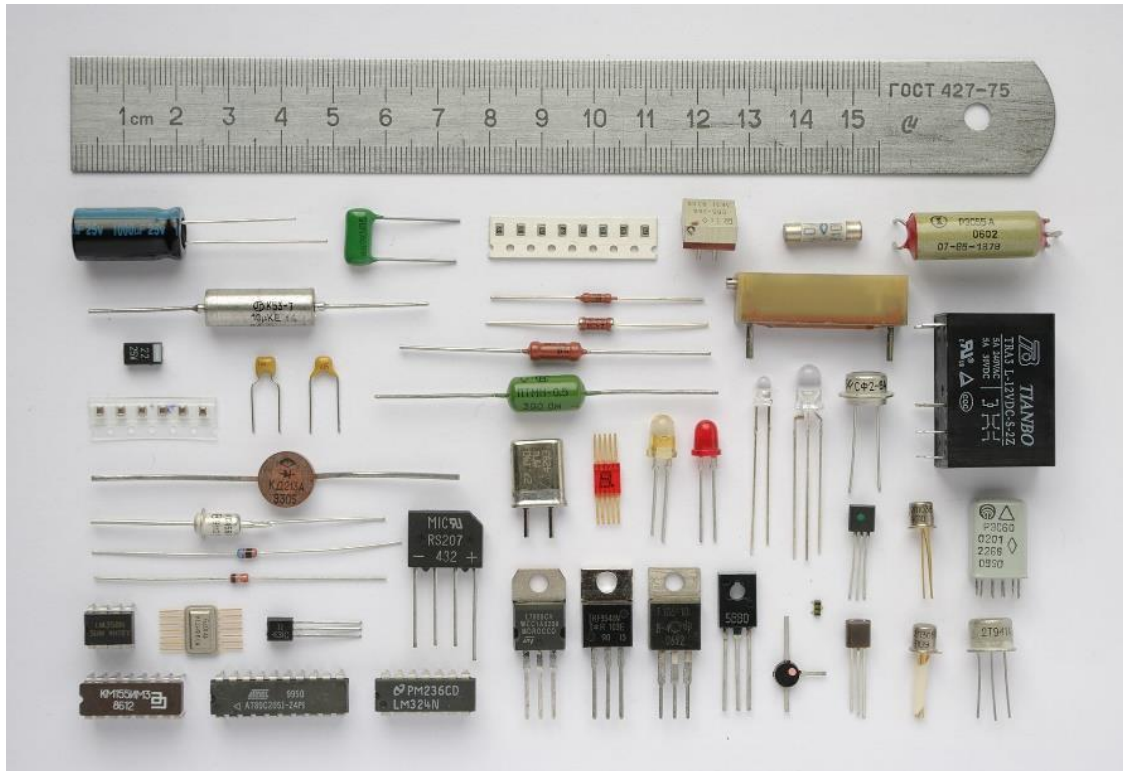


Abb. 4.16 Bedrahtete durchsteckmontierbare Gehäusetypen /WIK 19/



Abb. 4.17 Oberflächenmontierbare Gehäusetypen /IND 19/

Kontaktierung zwischen Gehäuse und Chip

Bei der Verbindung vom Chip mit dem Gehäuse wird zwischen Draht-Kontaktierung („Bonding“) und Flip-Chip-Kontaktierung unterschieden (siehe Abb. 4.18).

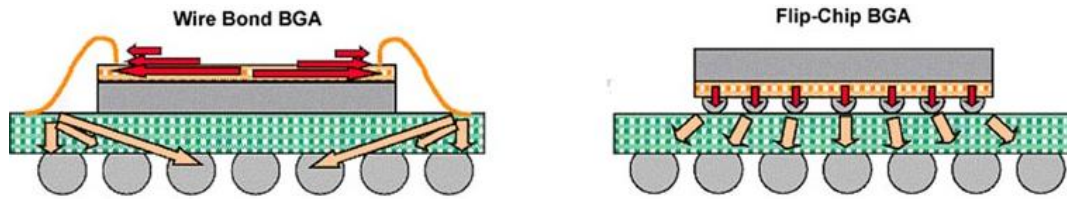


Abb. 4.18 Verbindung zwischen Chip und Gehäuse mittels Drahtbonden (links) und Flip-Chip-Bonden (rechts) /XIL 12/

Bei der Drahtkontaktierung werden mittels dünner Drähte die Anschlüsse eines ICs oder eines diskreten Halbleiters mit den elektrischen Anschlüssen anderer Bauteile oder des Gehäuses verbunden.

Der Vorgang des Auflötens der rückseitigen Kontakte eines Chips wird im Gegensatz dazu als Flip-Chip-Kontaktierung oder Flip-Chip-Bonding bezeichnet.

Bei der Flip-Chip-Kontaktierung wird der Chip direkt, ohne weitere Anschlussdrähte, mit der aktiven Kontaktierungsseite nach unten – zum Substrat/Schaltungsträger hin – montiert. Dies führt zu besonders geringen Abmessungen des Gehäuses und kurzen Leiterlängen.

4.4.1 Ableitung von Unterscheidungskriterien aufgrund von unterschiedlichen Kriterien bei der Auswahl von Gehäusen

Die bei den verschiedenen Herstellern eingesetzten Gehäuse unterscheiden sich in folgenden Punkten:

Art der Kontaktierung

Wie bereits beschrieben gibt es die folgenden Arten des Bondings:

- Draht-Bonden
- Flip-Chip-Bonden

Hersteller bieten üblicherweise beides an, wenn auch nicht für jede Komponente. Als ein Beispiel sind die KEK der Firma Xilinx in Tab. 4.19 dargestellt. Da es sich um unterschiedliche Technologien handelt, kann auf diese Weise ein gemeinsam verursachter Ausfall aufgrund von Fehlhandlungen bei der Umsetzung der Kontaktierung oder

fehlerhafter Fertigung der Kontakte vermieden werden. Daher wird die Wahl unterschiedlicher Kontaktierungsarten als Diversitätskriterium angesehen.

Tab. 4.19 Arten der Kontaktierung bei KEK der Firma Xilinx

KEK	Art der Kontaktierung
Ultrascale(+)	Flip-chip
Spartan7	Wire bond
Artix-7	Wire bond oder Flip-chip
Kintex/Virtex-7	Flip-chip
Spartan 6	Wire bond

Art des Gehäuses

Es gibt sehr viele verschiedene Varianten von Gehäuseformen. Einige Beispiele sind in Abb. 4.19 und Abb. 4.20 gezeigt. Häufig genannte Gehäuseformen sind:

- BGA: Ball Grid Array,
- PGA: Pin Grid Array,
- QFP: Quad Flat Package,
- PLCC/QFJ: Plastic Leaded Chip Carrier/ Quad Flat J Lead Chipcarrier.

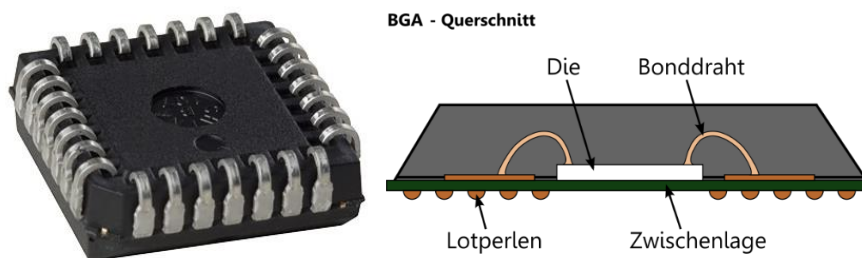


Abb. 4.19 PLCC (links, /SMT 20/) und BGA-Gehäuse (rechts, /XIL 12/)

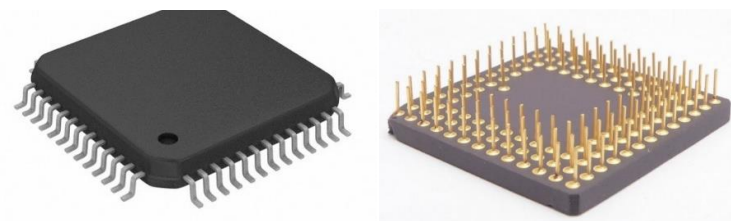


Abb. 4.20 QFP (links, /SMT 20/) und PGA-(rechts) Gehäuse

Die Wahl unterschiedlicher Bauformen wird als Diversitätskriterium angesehen, da durch ihre unterschiedlichen Strukturen gemeinsam verursachte Fehler vermieden werden könne.

Befestigungsrichtung des Chips

Der Chip kann sowohl von oben (siehe Abb. 4.21) als auch von unten (siehe Abb. 4.22) im Gehäuse befestigt werden. In den Abbildungen ist der Chip jeweils in grau bzw. hellblau in der Mitte des Gehäuses zu sehen. Von unten eingezeichnet sind jeweils die Kugeln eines BGA-Gehäuses. Rechts und links vom Chip erkennt man die Drähte, mit denen der Chip mit dem Gehäuse verbunden ist.

Da durch die unterschiedliche Befestigungsrichtung unterschiedliche Verhältnisse bei der Temperaturableitung und Verteilung im Gehäuse auftreten können, wird die Wahl unterschiedlicher Befestigungsrichtungen als Diversitätskriterium angesehen.

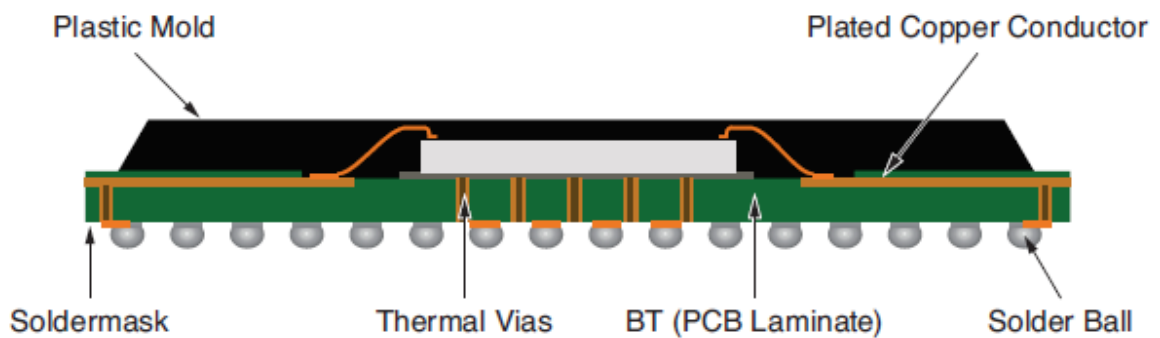


Abb. 4.21 Befestigung des Chips von oben im Gehäuse /XIL 12/

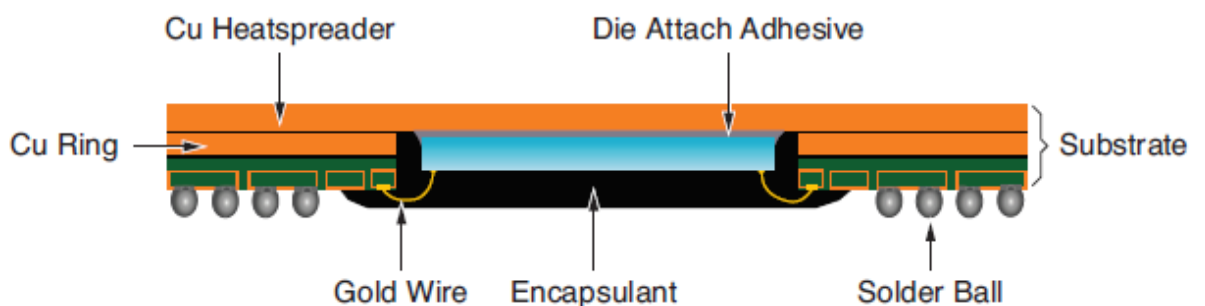


Abb. 4.22 Befestigung des Chips von unten im Gehäuse /XIL 12/

Pins und Abmessungen von Gehäuse

Bei den Abmessungen spielen die folgenden Aspekte eine Rolle:

- Anzahl Pins
- Größe des Gehäuses
- Pitch: Abstand zwischen den Pins

Auch hier gibt es eine sehr große Anzahl an verschiedensten Varianten. In Tab. 4.20 sind beispielhaft die Abmessungen einiger von verschiedenen Herstellern angebotenen Gehäusetyper dargestellt. Mit den beschriebenen Aspekten gibt es viele Möglichkeiten, diversitäre Gehäuseformen zu wählen. Hieraus lassen sich demnach die Diversitätskriterien für die Wahl unterschiedlicher Pin-Anzahl, Gehäusegrößen und Pitches ableiten.

Tab. 4.20 Abmessungen von Gehäusen

Hersteller	KEK	Pitch [mm]	Größe [mm ²]	Pins
Xilinx	Ultra-scale(+)	0,8-1	23x23-55x55	196-676
	Spartan7	0,5-1	8x8-27x27	236-1156
	Artix-7	0,5-1	10x10-35x35	144-900
	Spartan 6	0,5-1	8x8-31x31	
Lattice Semi	Mach XO	0,5-1	14x14-20x20	100-324
Microsemi	IGLOO2	0,5-1	11x11-35x35	144-1152
	Polarfire	0,5-1	11x11-35x35	325-1152
Intel/Altera	Arria 10	0,8-1	19x19-45x45	484-1932
	Max V CPLD	0,4-1	4,5x4,5-19x19	64-324

Material

Gehäuse bestehen typischerweise aus Kunststoff oder Keramik. Keramikgehäuse sind in der Regel teurer, ermöglichen aber die hermetische Kapselung der Chips. Der Innenraum des Gehäuses ist gasdicht versiegelt. Keramikgehäuse werden typischerweise im Luft- und Raumfahrtbereich sowie in der Kommunikationstechnik eingesetzt. /HIL 19/

Kunststoffgehäuse sind deutlich günstiger, da sie sich in Spritzgusstechnik herstellen lassen. Der Kunststoff umschließt jedoch den Chip nicht porenfrei, so dass diese Gehäuse nicht in feuchten oder korrosiven Umgebungen eingesetzt werden können. Außerdem sind sie aufgrund ihrer schlechten Wärmeleitfähigkeit nicht für Schaltungen mit hoher Verlustleistung geeignet. /HIL 19/

Aufgrund der unterschiedlichen Eigenschaften der Gehäusematerialien wird die Wahl unterschiedlicher Materialien als Diversitätskriterium angesehen.

Hersteller

Es gibt unterschiedliche Hersteller, die Gehäuse für IC-Chips herstellen. Zu typischen Herstellern gehören die Firmen Texas Instruments, Advanced Semiconductor Engineering und Amkor. Es konnte aufgrund fehlender Informationen nicht ermittelt werden, von welchen Gehäuseherstellern die KEK-Hersteller ihre Gehäuse beziehen. Da durch die Verwendung von Gehäusen von unterschiedlichen Herstellern beispielsweise gemeinsam verursachte Ausfälle aufgrund von Fehlhandlungen bei der Fertigung oder aufgrund von fehlerhaften Prozessen in der Massenproduktion vermieden werden können, kann die Wahl unterschiedlicher Hersteller als Diversitätskriterium angesehen werden.

5 Software-Aspekte von KEK

Bei der Programmierung bzw. genauer gesagt der Konfiguration von integrierten Schaltungen wird die individuelle Funktion, die die Hardware ausführen soll, festgelegt. Dieser Vorgang kann entweder bereits beim Hersteller erfolgen oder vom Anwender selbst durchgeführt werden. Erfolgt die Konfiguration beim Hersteller, wie das bei ASICs typischerweise der Fall ist, wird die vorgefertigte Anordnung von Gattern oder Transistoren anhand individuell hergestellter Masken durch Fotolithografie so verdrahtet, dass die gewünschte Schaltung entsteht /BAR 19/.

Eine vollkommen eigenständige Konfiguration wird bei anwenderprogrammierbaren Schaltungen, zu denen auch KEK zählen, durchgeführt. Dabei werden keine Masken verwendet, sondern die Funktionalität durch Konfiguration der logischen Grundelemente und deren Verdrahtung erstellt. Dabei ist die Konfiguration je nach verwendeter Technologie irreversibel (z. B. bei Antifuse-FPGAs) oder reversibel (z. B. bei SRAM- oder Flash-basierten KEK). /KES 13/

Die Konfiguration erfolgt zumeist mit sogenannten Hardwarebeschreibungssprachen (engl. Hardware Description Language, HDL) wie **VHSIC** Very High Speed Integrated Circuit **H**ardware **D**escription **L**anguage (VHDL) oder Verilog. In Europa wird häufiger VHDL verwendet, das in den 80er Jahren im Auftrag der US-Regierung entwickelt und 1987 als IEEE 1076 standardisiert wurde. Verilog ist die weltweit am häufigsten verwendete HDL. Sie wurde 1995 als IEEE 1364 standardisiert /SCH 16/.

Mit VHDL und Verilog wird keine Software entwickelt, sondern Hardware konfiguriert. Daher unterscheidet sich das Sprachkonzept von den Programmiersprachen für die Softwareentwicklung. Während bei der Softwareentwicklung das Programm sequentiell ausgeführt wird, d. h. der Code in der Reihenfolge abgearbeitet wird, in der er vom Entwickler geschrieben wurde, sind bei HDL alle Prozesse nebenläufig bezüglich einer Modellzeit. Das bedeutet, dass innerhalb eines Zeitschrittes alle Signaländerungen zeitlich parallel durchgeführt werden. Der Code innerhalb eines Prozesses wird jedoch sequentiell ausgeführt /KES 13/, /WAL 15/.

Um zwischen der Entwicklung von Software und KEK zu unterscheiden, wird im Folgenden bei Software von Programmierung und bei KEK von Konfiguration gesprochen.

5.1 Entwicklung von Schaltungen mit KEK

Ziel des gesamten Entwicklungsprozesses ist die Erstellung des Chip-Layouts und der Konfigurationsdaten, die zur Produktion der Schaltung nötig sind /LEH 94/. Aufgrund der zahlreichen Freiheitsgrade im Entwurf, gibt es eine unendlich hohe Anzahl von Layouts, die die Spezifikationen der Schaltung erfüllen würden. Der Entwurfsprozess muss daher als Optimierungsvorgang verstanden werden, bei dem viele Kriterien wie z. B. Performance, Verlustleistung, Robustheit gegen Fertigungsschwankungen, Testbarkeit, etc. optimiert werden /EDA 19/. Aufgrund der hohen Komponentendichte und Komplexität ist beim Entwurf einer integrierten Digitalschaltung eine strukturierte, schrittweise Vorgehensweise notwendig. Dabei werden zunächst Modelle einer Schaltung auf verschiedenen Abstraktionsebenen erstellt, die hauptsächlich zur Simulation der realen Schaltung dienen und es ermöglichen, die Funktionen des Designs auf unterschiedliche Aspekte hin zu überprüfen und gegebenenfalls Fehler zu korrigieren. /KES 13/

Die verwendeten Abstraktionsebenen sind in Abb. 5.1 im sogenannten „Y-Diagramm“ nach Gajski dargestellt. Die konzentrischen Kreise stellen die fünf Entwicklungs- oder Abstraktionsebenen dar:

- die Systemebene,
- die Algorithmische Ebene,
- die Register-Transfer-Ebene (abgekürzt auch RT-Ebene),
- die Gatterebene und
- die Transistorebene (auch Technologieebene oder Schaltkreisebene).

Je weiter „außen“ die Ebene im Diagramm liegt, desto abstrakter, aber auch übersichtlicher ist die Darstellungsweise des Systems. Zum Zentrum hin wird die Beschreibung immer detaillierter und komplexer. Bei der Entwicklung wird häufig ein top-down-Ansatz gewählt, bei dem zunächst eine Modellbeschreibung mit hohem Abstraktionsgrad erstellt wird (Ebenen am äußeren Rande des Diagramms) und das System dann schrittweise von Ebene zu Ebene immer detaillierter und realer beschrieben wird. So kann der Entwickler Fehler schon frühzeitig entdecken und verbessern /KES 13/, /WAL 15/.

Auf den einzelnen Abstraktionsebenen können verschiedene Aspekte eines Designs adressiert werden, die durch die Äste im Y-Diagramm dargestellt werden:

- Verhalten,
- Struktur und
- Geometrie / physikalische Implementierung

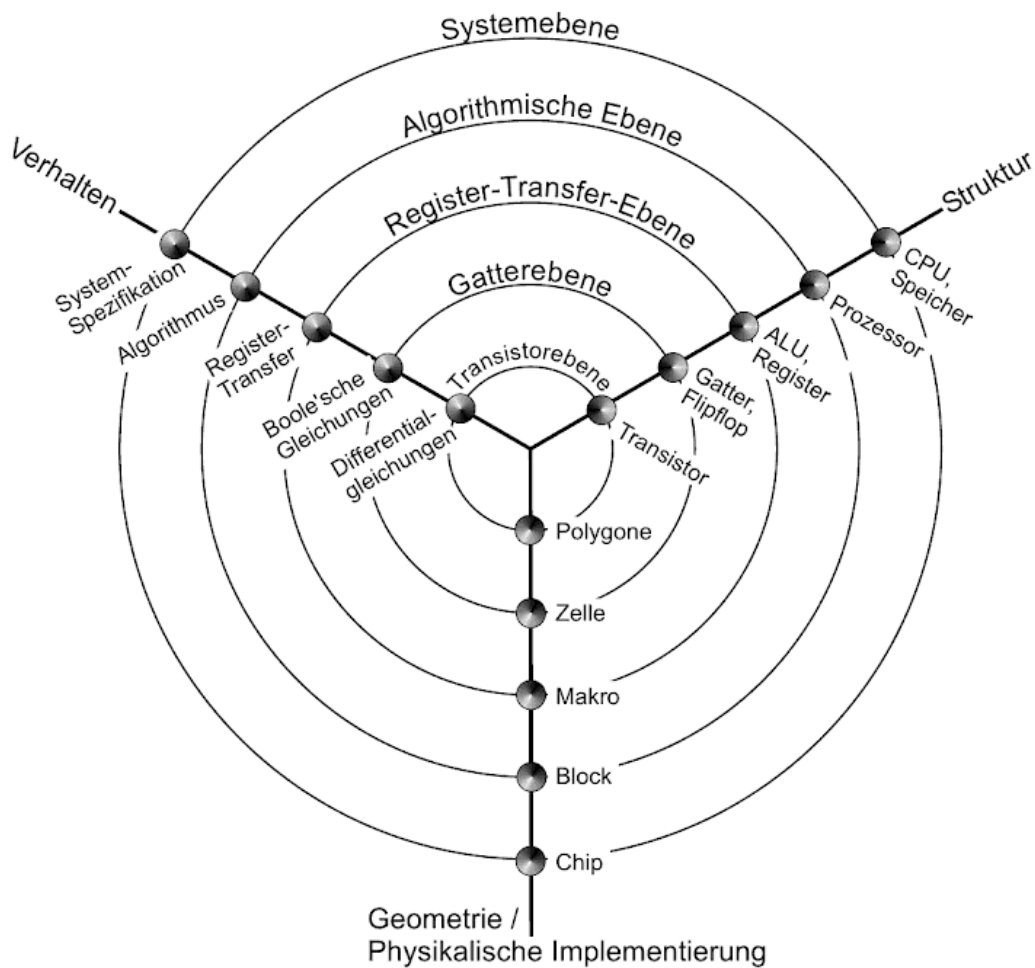


Abb. 5.1 Y-Diagramm nach Gajski /KES 13/

Der Verhaltensaspekt umfasst die Funktionsbeschreibung des Systems, welches sich aus unterschiedlichen Modulen (z. B. Steuerwerke, Busse, Sensoren, Aktoren etc.) zusammensetzt /BAR 19/. Es werden Aussagen beispielsweise über das elektrische, das logische und das zeitliche Verhalten getroffen. Die Beschreibung erfolgt mit Kennwerten aus Datenblättern, Ablaufplänen und Zeitdiagrammen. /STI 16/

Der strukturelle Aspekt beschreibt die topologische Anordnung von Komponenten und deren Verbindungen. Dabei wird nur die Verschaltung beschrieben, aber nichts über die Dimensionierung der Bauteile oder deren Typen ausgesagt. Mathematische Modelle unter diesem Aspekt sind Graphen und Netzlisten /BAR 19/.

Der geometrische Aspekt, manchmal auch als physikalische Implementierung bezeichnet, beschreibt die konkrete Realisierung mit realen physikalischen Objekten. Dieser

Aspekt setzt sich damit auseinander, wie die Komponenten und Verbindungsstrukturen angeordnet werden sollen. Hierbei müssen die exakten geometrischen Ausdehnungen berücksichtigt werden /BAR 19/.

Auf jeder der genannten Abstraktionsebenen können verschiedene Gesichtspunkte der unterschiedlichen Aspekte betrachtet werden, die im Folgenden beschrieben werden.

Systemebene

Auf der Systemebene werden zunächst die grundlegenden Eigenschaften eines elektronischen Systems beschrieben, wobei in der Beschreibung die Verwendung typischer Blöcke, wie CPU²⁷s, Speicher und Interface-Einheiten festgelegt werden. Es wird herausgearbeitet, welche Funktionalität die Module aufweisen, welche Protokolle verwendet werden sollen, etc. Auf dieser Ebene findet auch die Partitionierung der gesamten Schaltungsfunktion statt. Das Verhalten der Schaltung kann auf dieser Ebene beispielsweise durch Flussdiagramme oder Systemverhaltensmodelle (System Behaviour Model SBM) beschrieben werden. In der geometrischen Entwurfssicht findet die Einteilung der KEK-Ressourcen statt.

Das Ergebnis auf der Systemebene ist eine Systemspezifikation, bei der es sich zumeist um ein schriftliches Dokument handelt, in dem die Eigenschaften und Funktionen der Schaltung, die auf dem KEK realisiert werden soll, beschrieben werden, eine mathematische Beschreibungsform ist auf dieser Ebene zumeist noch nicht erforderlich /LEH 94/, /KES 13/, /WAL 15/.

Algorithmische Ebene

Auf dieser Ebene wird das Verhalten der Schaltung durch Algorithmen mit Variablen und Operatoren beschrieben, die entweder mit einer HDL oder beispielsweise auch mit der MATLAB/Simulink-Entwicklungsumgebung oder mit den Programmiersprachen C/C++ erstellt werden können. Diese Algorithmen zeichnen sich bereits durch ihre Nebenläufigkeit aus, d. h. es werden parallel ablaufende Algorithmen verwendet, um die zeitliche Parallelität von Signaländerungen in Schaltungen zu simulieren.

²⁷ CPU: Central Processing Unit

Unter dem strukturellen Aspekt wird die Schaltung durch Blöcke beschrieben, die über Signale miteinander kommunizieren. Auf dieser Ebene wird noch kein Zeitverhalten berücksichtigt /LEH 94/, /KES 13/.

Register-Transfer-Ebene

Auf der Register-Transfer-Ebene (engl. „Register Transfer Level“, RTL) wird die Schaltung, die auf dem KEK realisiert werden soll, durch kombinatorische Funktionseinheiten (beispielsweise Addierer, Codierer, Multiplexer etc.), Register (Zwischenspeicher und Datenpuffer zur Speicherung begrenzter Datenmengen) und den Transfer der verarbeiteten Daten zwischen den Registern beschrieben. Die Schaltung wird durch einen Systemtakt gesteuert, der bereits in die Beschreibung integriert werden kann, so dass auf dieser Abstraktionsebene auch zeitliche Eigenschaften definiert werden können.

Unter dem strukturellen Aspekt wird die Verknüpfung von Registern, Codierern, Multiplexern oder Addierern durch Signale festgelegt.

Zur Beschreibung des Verhaltens wird überwiegend das mathematische Modell der endlichen Automaten verwendet, das für die Beschreibung von Zuständen, Zustandsübergängen und Aktionen geeignet ist.

Unter dem geometrischen Aspekt wird ein sogenannter Floorplan erstellt, bei dem die Anordnung der Funktionsgruppen oder Bauteile so optimiert wird, dass sich möglichst kurze Verbindungs- und Signalwege ergeben, um die Geschwindigkeit zu maximieren und die Chipgröße zu minimieren /LEH 94/, /KES 13/.

Gatterebene

Auf der Gatterebene werden die Eigenschaften eines KEK durch logische Verknüpfungen und deren zeitliche Eigenschaften beschrieben. Zur Beschreibung des Verhaltens werden auf dieser Ebene vor allem boolesche Gleichungen und Funktionstabellen verwendet.

In Abb. 5.2 ist als Beispiel ein Ein-Bit-Volladdierer auf Gatterebene in einer Verhaltensbeschreibung als boolesche Gleichung (oben) und in einer Strukturbeschreibung als Gatternetzliste (unten) dargestellt.

Mit einem Ein-Bit-Volladdierer lassen sich drei einstellige Binärzahlen (a, b und Ci) addieren. Der Ausgang „Sum“ liefert dabei die niederwertige Stelle des Ereignisses, der Ausgang „Co“ die höherwertige Stelle des Ergebnisses. Das XOR-Gatter (Schaltsymbol: =1) wird genau dann logisch „1“, wenn an einer ungeraden Anzahl von Eingängen „1“ anliegt und an den restlichen „0“. Das AND-Gatter (Schaltsymbol: &) wird genau dann „1“, wenn an allen Eingängen „1“ anliegt. Das OR-Gatter (Schaltsymbol: ≥1) wird genau dann „1“, wenn mindestens an einem Ausgang eine „1“ anliegt.

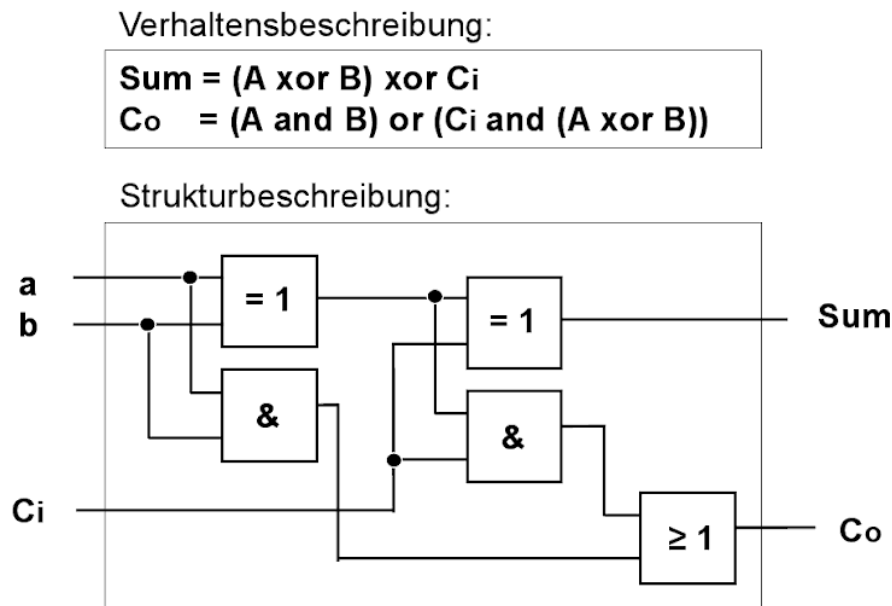


Abb. 5.2 Verhaltens- und Strukturbeschreibung auf Gatterebene am Beispiel eines Ein-Bit-Volladdierers /LAN 13/

In der Strukturbeschreibung auf Gatterebene wird der Elektronikentwurf durch Gatternetzlisten dargestellt, die eine Zusammenschaltung der Grundelemente (AND-, OR-, XOR-Gatter, etc.) darstellen /PUG 05/. Bei KEK werden diese Grundelemente von einer Bibliothek zur Verfügung gestellt, die von den KEK-Herstellern geliefert wird und die Charakteristika der Grundelemente der konkreten KEK enthält. Hierbei sind auch Informationen darüber enthalten, welche Verzögerungszeit ein Schaltnetz zwischen zwei Registern benötigt und welche minimale Periodendauer der Takt daher nicht unterschreiten darf. Diese Information ist technologieabhängig und wird auf der Gatterebene implementiert. Durch den Übergang von der technologieunabhängigen RT-Ebene auf die Gatterebene erfolgt demnach die Realisierung der technologieabhängigen Beschreibung. /LEH 94/, /KES 13/.

Transistorebene

Auf der Transistorebene werden die logischen Gatter der Netzliste schließlich durch elektrische Bauelemente wie Transistoren, Kapazitäten und Widerstände ersetzt. Die Module werden durch ihre tatsächlichen Bauelemente beschrieben, so dass in der strukturellen Sichtweise ein elektrisches Schaltbild entsteht. Unter den geometrischen Aspekten werden die Maskendaten verstanden, die für die technische Realisierung der Leiterbahnen auf dem Chip notwendig sind. Für die Verhaltensaspekte werden Differentialgleichungen verwendet, um das Systemverhalten zu modellieren, wodurch die Simulationsalgorithmen sehr rechenzeitintensiv werden /LEH 94/.

In Tab. 5.1 sind die verschiedenen Gesichtspunkte der drei Aspekte für alle Abstraktionsebenen zusammenfassend dargestellt.

Tab. 5.1 Entwurfsaspekte der Abstraktionsebenen im Y-Diagramm nach Gajski /MAE 19/

		Entwurfsaspekt		
		Verhalten	Struktur	Geometrie
Abstraktionsebenen	Systemebene	Systemspezifikation	Netzwerk (aus CPU, Speicher, Controller etc.)	Bauplan des Chips
	Algorithmische Ebene	Algorithmen, formale Funktionsbeschreibung	Blockschaltbild	Block
	Register-Transfer-Ebene	Daten- und Steuerfluss, endliche Automaten	Modulnetzliste (aus ALU ²⁸ s, Register, Multiplexer etc.)	Makrozellen (IP-Blöcke), Floorplan
	Gatterebene	Boolesche Gleichungen, Funktionstabellen	Gatternetzliste (Gatter, Flipflops)	Standardzelle, Bibliothekszellen
	Transistor-ebene	Differentialgleichungen	Elektrisches Schaltbild aus Transistoren, Kondensatoren, Dioden, etc.	Maskendaten

²⁸ Arithmetic Logic Unit

5.2 Entwurfsprozess

Anhand des Y-Diagramms können beliebige Entwurststile (z. B. „Top-Down“, „Bottom-Up“ etc.) dargestellt werden. Bei einem „Top-Down“-Entwurfstil wird der Entwurfsprozess auf einer äußeren Abstraktionsebene begonnen und durch schrittweise Verfeinerung zu einer niedrigen Abstraktionsebene geführt. Der „Bottom-Up“-Entwurfstil (von elektrischen Transistoreigenschaften zu höhergelegenen Ebenen) wird heute nicht mehr verwendet, da die Komplexität der Schaltungen zu groß ist. Ein Entwurststil kann unterschiedliche Entwurfzustände beinhalten. Unter Entwurfzustand versteht man die Beschreibung der Schaltung auf einer der drei Abstraktionsebenen (siehe Abb. 5.). Ein Entwurststil besteht demnach aus einer Folge von Entwurfsschritten, die den Übergang zwischen verschiedenen Entwurfzuständen darstellen. Wie viele Entwurfsschritte bis zum Endzustand gemacht werden, kann sehr unterschiedlich sein. /BAR 19/

Entwurfstile

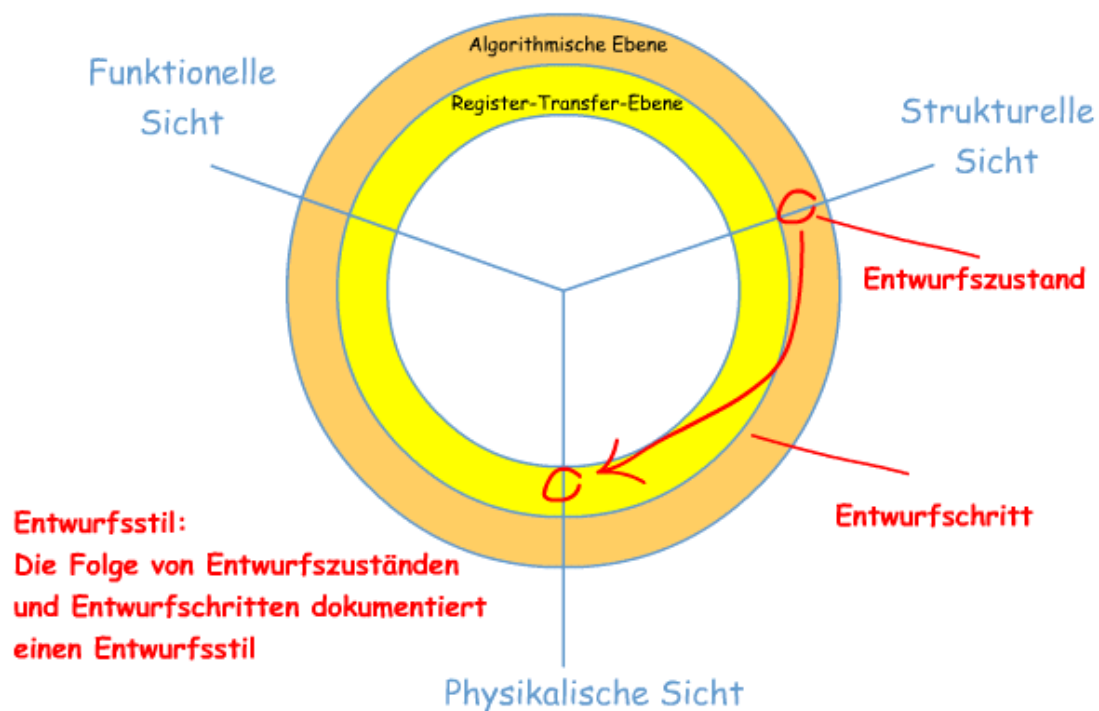


Abb. 5.3 Entwurfsziele, Entwurfzustände und Entwurfsschritte /BAR 19/

In der Praxis werden zumeist nicht alle Abstraktionsebenen genutzt. Die folgenden drei Beschreibungsebenen haben die größte Bedeutung /LEH 94/:

- Algorithmische Ebene,

- Register-Transfer-Ebene,
- Gatterebene.

Wird ein Entwurfsschritt durchgeführt, durch den der Abstraktionsgrad sinkt bzw. der Detaillierungsgrad der Beschreibung steigt und das System somit seiner Realisierung nähergebracht wird, wird von einem Syntheseschritt gesprochen. Auf dem Y-Diagramm führt ein solcher Schritt von einer äußeren auf eine weiter innen liegende Ebene. Wird die umgekehrte Richtung betrachtet, d. h. ein Entwurfsschritt, bei dem der Abstraktionsgrad wieder steigt bzw. der Detaillierungsgrad sinkt, wird von einem Analyseschritt gesprochen. Dabei werden aus einer detaillierten Entwurfsbeschreibung abstrakte Informationen durch Zusammenfassen und Generalisieren der Details gewonnen. Durch solche Schritte werden gewöhnlich Syntheseschritte validiert. Auf dem Y-Diagramm führt ein solcher Schritt von einer inneren auf eine weiter außen liegende Ebene. /BAR 19/

Aufgrund der fortschreitenden Entwurfsautomatisierung gibt es mittlerweile eine Reihe von Synthesewerkzeugen, die mit Hilfe von Algorithmen diesen Prozess automatisch durchführen /BAR 19/. Da bei der automatischen Synthese nicht alle Anforderungen exakt erfüllt werden und Synthesewerkzeuge fehlerhaft sein können, wird das durch Synthese erzeugte Modell durch eine Simulation auf Fehler überprüft. Dabei wird beispielsweise überprüft, ob das Verhaltens- bzw. Strukturmodell die (VHDL-)Syntax erfüllt, ob das Verhaltensmodell die Spezifikation erfüllt oder ob im Strukturmodell die zeitlichen Anforderungen korrekt umgesetzt wurden /JOH 10/.

In Abb. 5. sind die verschiedenen Schritte der Entwicklung von KEK dargestellt. Dabei werden im Wesentlichen folgende Schritte durchgeführt /KES 13/:

- **Spezifikation:** Zunächst wird ein Dokument mit der Systemspezifikation erstellt.
- **Modellierung:** Anschließend wird ein erstes Modell der Schaltung erstellt. Dies kann z. B. aus der Systemspezifikation auf Systemebene geschehen, auf algorithmischer Ebene, auf RT-Ebene oder Gatterebene mit Systementwicklungswerkzeugen (z. B. MATLAB/Simulink), Programmiersprachen (z. B. C++) oder HDL (Verilog, VHDL).
- **Synthese** bezeichnet die Transformation zwischen den Abstraktionsebenen mit Hilfe von Synthesewerkzeugen.

Die Transformation von der algorithmischen Ebene (Verhaltensbeschreibung) auf die Register-Transfer-Ebene (Strukturbeschreibung) wird als „**High-Level-Synthese**“ (HLS) bezeichnet. Die HLS realisiert im Wesentlichen drei Aufgaben:

- Allokation: Festlegung von Typ und Anzahl der Ressourcen, die zur Realisierung der logischen Operationen benötigt werden
- Ablaufplanung: Bestimmung der Taktzyklen, die für sämtliche im Algorithmus spezifizierten Operationen nötig sind
- Bindung: Zuweisung von Aufgaben an eine Instanz von Ressourcentypen

Durch die **Logiksynthese** wird die RTL-Beschreibung in eine Beschreibung auf Gatterebene transformiert.

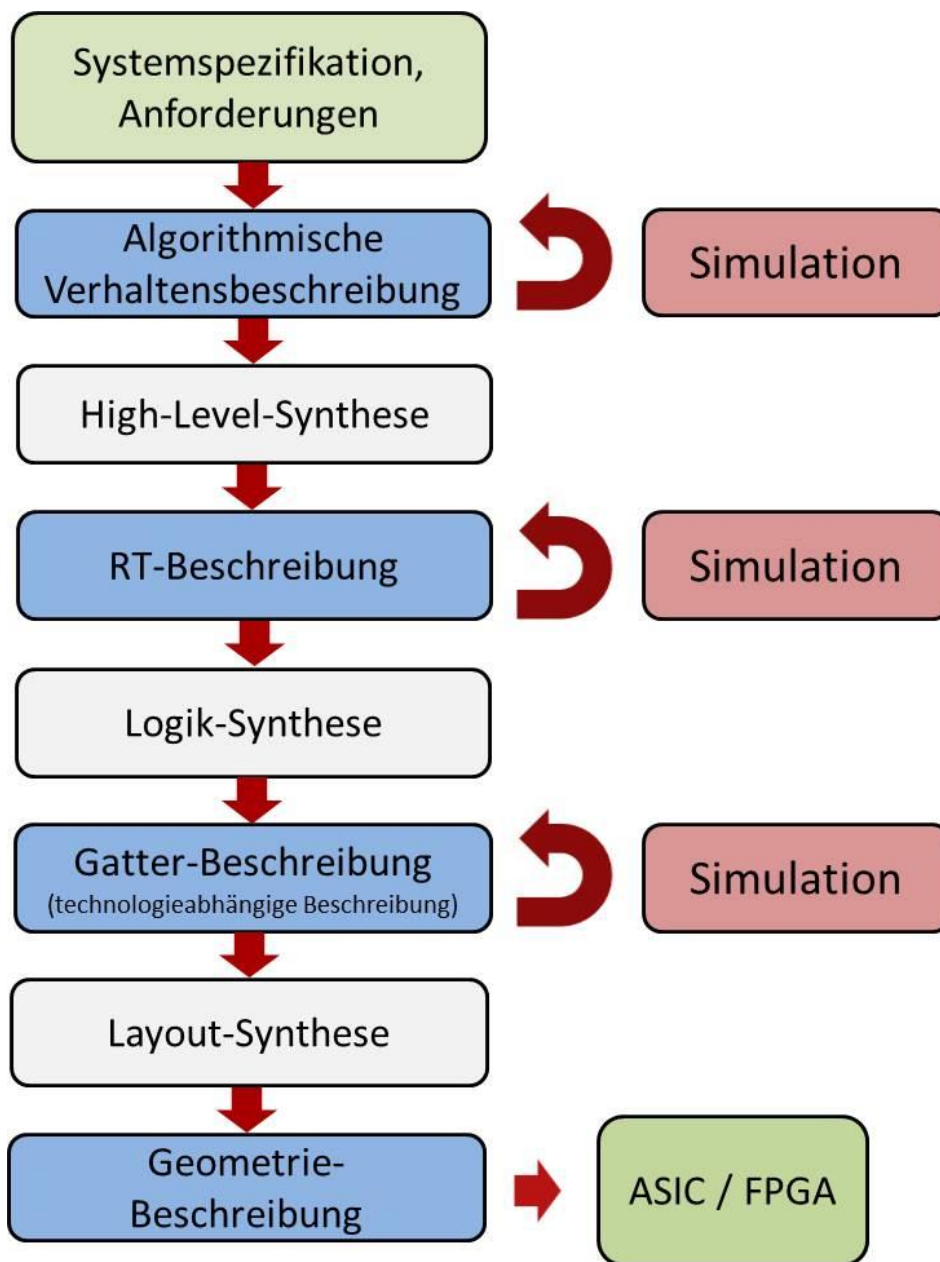


Abb. 5.4 Ablauf der Entwicklungsschritte /JOH 10/

- **Simulation:** Durch Simulation wird das Modell auf seine Korrektheit überprüft. Die Simulation zieht sich durch den gesamten Entwicklungsprozess und wird für jede Abstraktionsebene wiederholt. Sie ermöglicht die Verifikation der einzelnen Entwurfsschritte. Für die Simulation können sogenannte Testbench-Modelle mit HDL entwickelt werden, die automatisch Testmuster und Testsignale für den Simulator erzeugen, um die erstellten Modelle zu verifizieren. Die sich ergebenden Ausgangssignale können dann direkt bewertet werden /SCH 16/.
- **Physikalische Realisierung:** Hierfür müssen die logischen Komponenten aus der Gatternetzliste den physikalischen Komponenten auf dem KEK zugewiesen werden (engl. „Place“). Des Weiteren müssen die Verbindungen der logischen Komponenten aus der Netzliste durch entsprechend programmierte Verdrahtungssegmente auf dem KEK realisiert werden (engl. „Route“). Der Vorgang wird auch als „Place & Route“ bezeichnet.

5.3 Werkzeuge

Werkzeuge zur Entwicklung von KEK haben vielfältige Aufgaben. Zum einen wird das oftmals zunächst manuell erzeugte Design erfasst und digitalisiert, um es mit Software-Werkzeugen weiter verarbeiten zu können. Das kann auf verschiedenen Wegen geschehen, z. B. als Schaltplan, als boolesche Gleichungen, als Wahrheitstabelle oder in einer Hardwarebeschreibungssprache. /ELL 99/ Zum anderen gehören die Simulation, also der Test auf logische Fehler und Konflikte im Timing, sowie die eben beschriebene Synthese zu den wesentlichen Aufgaben der Entwicklungswerkzeuge. Solche Entwicklungswerkzeuge werden auch als EDA-Werkzeuge („Electronic Design Automation“) bezeichnet.

Bei KEK werden grundsätzlich zwei Arten von Werkzeugen unterschieden, solche, die von den KEK-Herstellern selbst angeboten werden und explizit auf ihre KEK zugeschnitten sind, und solche, die von EDA-Werkzeugentwicklern angeboten werden. Letztere können in der Regel für die Entwicklung von KEK von vielen verschiedenen Herstellern genutzt werden.

Alle im Rahmen dieses Vorhabens untersuchten KEK-Hersteller bieten auf ihren Webseiten komplette Entwicklungsumgebungen an. Diese enthalten nicht nur Synthesewerkzeuge, sondern auch Simulations- und Analysewerkzeuge und sind teilweise auch

auf unterschiedliche KEK-Produktfamilien zugeschnitten. Die Entwicklungsumgebungen der untersuchten Hersteller sind in

Tab. 5.2 zusammen mit dem Hinweis zur Anwendbarkeit bei speziellen KEK aufgeführt.

Tab. 5.2 Software-Pakete der KEK-Hersteller für die Entwicklung von KEK

Hersteller	Software-Paket	KEK
Xilinx	Vivado Design Suite HLx	Virtex-7, Kintex-7, Artix-7, Zynq-7000
	ISE Design suite	Spartan-6, Virtex-6, CoolRunner und Vorgänger-Versionen
Intel/ Altera	Intel Quartus Prime Design	Alle
Microsemi	Libero IDE	Alle (Flash und Antifuse)
Lattice Semi	Lattice Diamond	Aktuelle FPGAs
	Isp LEVER Classic ²⁹	CPLDs und ältere FPGAs
Microchip	Figaro IDS ³⁰	AT40K

Auch das Angebot der EDA-Firmen ist sehr umfangreich. Häufig entwickeln EDA-Firmen ihre Werkzeuge in Zusammenarbeit mit den KEK-Herstellern, wobei einige EDA-Firmen wie beispielsweise die Firmen Cadence, Mentor, Synopsys oder Synplicity über die Jahre einen hohen Reifegrad und eine hohe Leistungsfähigkeit für ihre Produkte erreicht haben /KES 13/ und von den KEK-Herstellern bevorzugt als Partnerfirmen auf ihren Webseiten genannt werden. Auch sind die Entwicklungsumgebungen der KEK-Hersteller in der Regel so gestaltet, dass sie einige Werkzeuge dieser EDA-Firmen unterstützen. Im Rahmen dieses Vorhabens wurde recherchiert, welche Produkte von welchen EDA-Firmen von den Entwicklungsumgebungen der KEK-Hersteller unterstützt werden. Das Ergebnis ist in Tab.5.3 dargestellt.

In Tab. 5.4 sind darüber hinaus weitere Produkte von EDA-Firmen aufgeführt, die darüber hinaus von den KEK-Herstellern auf ihren Webseiten genannt werden. Blau hinterlegt sind hier jeweils die Namen der EDA-Firmen. In den verschiedenen Spalten sind die

²⁹ Keine Aktualisierungen mehr seit 2011

³⁰ Produkt von Atmel, die zwischenzeitlich von Microchip übernommen wurden. Unterstützt unter Windows WIN NT/2K/XP, daher vermutlich veraltet.

Namen der von den jeweiligen EDA-Firmen angebotenen Werkzeuge für die verschiedenen Prozessschritte. Bei der EDA-Firma „Concurrent“ konnten die Namen der einzelnen Werkzeuge nicht ermittelt werden, daher wurde hier lediglich markiert, für welche Prozessschritte sie Werkzeuge anbieten. Alle Angaben wurden den Webseiten der KEK-Hersteller entnommen /INT 19a/, /LAT 19a/, /MIC 19/, /XIL 19/. Es ist erkennbar, dass bei den untersuchten KEK-Herstellern vor allem vier EDA-Firmen und bestimmte Produkte dieser EDA-Firmen genannt werden.

Um eine Diversität bei der Anwendung von Entwicklungswerkzeugen sicherzustellen, muss daher darauf geachtet werden, welcher KEK-Hersteller welche Fremdprodukte empfiehlt und basierend darauf eine Auswahl zu treffen, die eine diversitäre Entwicklung ermöglicht. Dieser Aspekt wird demnach als wichtiges Diversitätskriterium angesehen.

Tab. 5.3 Produkte von EDA-Firmen, die von den Entwicklungsumgebungen der KEK-Hersteller unterstützt werden

EDA-Firmen		KEK-Hersteller	Intel/ Altera	Lattice Semi		Micro- chip	Micro semi	Xilinx	
	Werkzeuge KEK- Hersteller	Werk- zeuge der EDA-Firmen	Quartus Prime	Diamond	Isp LEVER ³¹	ProChip Designer	Libero IDE	Vivado	ISE
Aldec	Active-HDL		x	x	x			x	x
	Riviera-PRO		x						x
Ca- dence	Incisive Enterprise		x					x	x
	Xcelium Parallel		x					x	
Men- tor	ModelSim		x			x	x	x	x
	Questa		x					x	x
	Precision RTL Synthesis				x ³²	x			
	Testbench Generator						x		
Syn- opsys	VCS		x					x	x
	Synplify PRO			x	x				

³¹ Keine Aktualisierungen mehr seit 2011

³² Die Lizenzvereinbarung zwischen Mentor und Lattice Semi lief 2008 aus, so dass es bei diesen Herstellern derzeit keine Zusammenarbeit mehr gibt. /LAT 19b/

Tab. 5.4 Überblick über die von unterschiedlichen Firmen angebotenen EDA-Werkzeuge. /INT 19a/, /LAT 19a/, /MIC 19/, /XIL 19/

Projektmanagement, Design, Analyse	High-Level-Design Werkzeug	High-Level-Synthese	Logik-Synthese	Simulation	Analyse & Verifikation	Kooperiert mit:
Aldec, Inc.						Intel/Altera, Microsemi, Lattice Semi, Xilinx
				Active-HDL, Riviera-PRO	ALINT-PRO	
Altium						Intel/Altera, Microsemi
	Altium Designer					
Blue Pearl Software Inc.						Intel/Altera, Xilinx
					Analyze RTL, Create Timing Constraints	
Bluespec						Intel/Altera,
		Bluespec Compiler				

Projektmanagement, Design, Analyse	High-Level-Design Werkzeug	High-Level-Synthese	Logik-Synthese	Simulation	Analyse & Verifikation	Kooperiert mit:
Cadence Design System, Inc.						Intel/Altera, Microsemi, Xilinx
		C-to-Silicon Compiler	Encounter RTL Compiler (für ASICs), Genus Synthesis Solution	Incisive Enterprise Simulator	Encounter Conformal Equivalence Checker	
Concurrent EDA. LLC						Microsemi, Xilinx
		✓	✓		✓	
Mentor Graphics, nach Übernahme von Siemens: Mentor, a Siemens Business						Intel/Altera, Microsemi
HDL Designer			LeonardoSpektrum, Precision RTL, Precision RTL Plus Precision Physical (für timing-Anforderungen)	ModelSim, Questa Advanced Simulator	FormalPro, Questa Formal Verification, Questa Clock-Domain Crossing Verification	
NEC						Intel/Altera
		CyberWorkBench				
Real Intent						Intel/Altera
					Meridian CDC	

Projektmanagement, Design, Analyse	High-Level-Design Werkzeug	High-Level-Synthese	Logik-Synthese	Simulation	Analyse & Verifikation	Kooperiert mit:
Sigasi						Intel/Altera, Xilinx
	Sigasi HDT					
Symphony EDA						Intel/Altera,
				VHDL Simili		
SynaptiCAD						Intel/Altera, Microsemi
		TestBencher Pro		VeriLogger Extreme	TestBencher Pro, WaveFormer Pro	
Synopsys						Intel/Altera, Lattice Semi, Microsemi, Xilinx
			Design Compiler NXT, Synplify Pro, Synplify Premier	VCS	SpyGlass for FPGA, SpyGlass Lint, SpyGlass CDC, VC Formal, Formality	

Projektmanagement, Design, Analyse	High-Level-Design Werkzeug	High-Level-Synthese	Logik-Synthese	Simulation	Analyse & Verifikation	Kooperiert mit:
Temento Systems						Intel/Altera
					Dialite – Platform Edition, AMBA Bus Verification	
TransEDA						Intel/Altera
					VN-Spec VN-Check VN-Cover Coverability Analysis Assertain-HDL Assertain-ABV	

5.4 Verwendung von vorgefertigten Hardware-Konfigurationen (IP-Cores)

Mit zunehmender Größe von KEK wurden auch die Möglichkeiten der Konfigurierbarkeit und damit auch der Aufwand bei der Entwicklung immer größer. Die Lücke zwischen der Anzahl an Transistoren, die die Technologie zur Verfügung stellt und der Anzahl an Transistoren, die in vernünftiger Zeit entworfen konfiguriert werden können, wurde damit ebenfalls immer größer. Um diese Lücke zu schließen, musste die Konfigurationsproduktivität erhöht werden. Eine wesentliche Methode hierfür ist heute die Verwendung von vorgefertigten Hardware-Konfigurationen. So wie früher ICs gekauft wurden, um damit eine Leiterplatte zu bestücken, können heute Hardware-Konfigurationen gekauft werden, die eine bestimmte Funktionalität in einem ASIC oder KEK realisieren. Da es sich nicht mehr um physikalisch vorhandene Bauelemente handelt, sondern nur noch um Informationen in digitaler Form, wird auch von „geistigem Eigentum“ bzw. „Intellectual Property“ (IP) gesprochen. Ein zugekaufter Block wird dann als IP-Core bezeichnet. /KES 13/

Grundsätzlich wird bei der Implementierung zwischen Hard- und Soft-IP-Cores unterschieden. /POG 03/

Hard-IP-Cores sind durch fest vorgegebenes Layout, Timing und definierte Schnittstellen charakterisiert. Außerdem sind sie in Bezug auf Geschwindigkeit, Siliziumfläche und Leistungsaufnahme optimiert. Sie sind halbleiterhersteller- und technologieabhängig. /POG 03/

Soft-IP-Cores basieren auf einer synthetisierbaren Beschreibung, ausgehend von einer HDL wie Verilog oder VHDL. Sie sind vorkompiliert oder als Quell-Code verfügbar und halbleiterhersteller- und technologieunabhängig konzipiert. Sie sind demnach flexibler als Hard-IP-Cores und parametrisierbar, benötigen aber mehrere Iterationen bei der Designoptimierung. /POG 03/

Um eine Auswahl von geeigneten IP-Cores anbieten zu können, entwickeln KEK-Hersteller selbst IP-Cores oder schließen Verträge mit Herstellerfirmen von IP-Cores und bieten deren Produkte an. In beiden Fällen sind diese IP-Cores meistens Hard-IP-Cores. Sie sind oft auf einen KEK-Typ oder eine Baureihe beschränkt. Das hat den Vorteil, dass der IP-Core perfekt auf den jeweiligen KEK-Typ abgestimmt ist und alle seine Vorteile

nutzen kann. Das macht den IP-Core schneller und platzsparender. Der Nachteil ist, dass der IP-Core meist weder auf- noch abwärtskompatibel ist. /POG 03/

Die Firmen Microsemi, Xilinx und Latticesemi bieten selbst entwickelte IP-Cores an. Die Firma Microsemi stellt sie frei in ihrem Entwicklungswerkzeug zur Verfügung. Sie verweisen aber auch auf kostenpflichtige IP-Cores, die von Herstellerfirmen von IP-Cores für ihre KEK entwickelt wurden. Auf ihrer Webseite listen sie kompatible IP-Cores in einer Tabelle auf. In dieser Tabelle steht jeweils, welche Funktion der IP-Core realisiert. Die Firma Microsemi liefert weiterführende Informationen in Form eines „Handbook“ und es wird vermerkt, wenn ein bestimmter IP-Core einen bestimmten Standard erfüllt. /MIC 19b/, /XIL 19/, /LAT 19c/

Tab. 5.5 Herstellerfirmen von IP-Cores, auf welche KEK-Hersteller verweisen

KEK-Hersteller	Entwickelt selbst IP-Cores	Herstellerfirmen von IP-Cores
Xilinx	Ja	Abaco Systems Cast Inc Chevin Technology Comcores ApS Creonic GmbH Enyx SA Missing Link Electronics Inc New Wave Design and Verification LLC Orthogone Technologies Inc
Altera	Nein	Cast Inc Creonic Enyx Eureka Technology Inc IntelliProp Inc
Microchip	Nein	-
Microsemi	Ja	Alma Technologies Cast Eureka Technologies Inicore New Wave DV Northwest Logic
Latticesemi	Ja	Bitex Cast Eureka Flexibilis Helion Technology Inicore Oregano Systems

Die Firma Altera bietet ausschließlich IP-Cores von Drittanbietern an. /Int 19c/ Auf der Webseite der Firma Microchip konnten keine Hinweise darauf gefunden werden, dass sie selbst IP-Cores herstellen. Sie verweisen auch nicht auf Herstellerfirmen von IP-Cores.

In Tab. 5.5 sind einige der Herstellerfirmen von IP-Cores aufgeführt, die von den KEK-Herstellern genannt werden. Außerdem ist dargestellt, welcher der Hersteller selber ebenfalls IP-Cores entwickelt und welcher nicht. Es ist erkennbar, dass einige der Herstellerfirmen von IP-Cores bei mehreren KEK-Herstellern genannt werden. Wie bereits bei den Entwicklungswerkzeugen wird demnach auch die Verwendung und Auswahl von IP-Cores als Diversitätskriterium angesehen, bei dem besonders kritisch untersucht werden muss, ob die verwendeten IP-Cores wirklich von unterschiedlichen Entwicklerfirmen stammen. Die IP-Cores von unterschiedlichen KEK-Herstellern zu beziehen, ist keine Garantie für eine Diversität.

6 Weiterentwicklung der Diversitätsmatrix zur Diversitätsbewertung von KEK

6.1 Aktueller Stand der Diversitätsmatrix

Der aktuelle Stand der Diversitätsmatrix ist detailliert in /GRS 15a/ beschrieben und wird an dieser Stelle nur kurz zusammengefasst.

In der bestehenden Diversitätsmatrix sind zum einen die verschiedenen relevanten Teilsysteme, die Signalebene, die Baugruppen und Komponenten eines generischen Leittechniksystems und zum anderen die jeweils anzuwendenden Diversitätsmerkmale zur Bewertung eines softwarebasierten und programmierbaren Leittechniksystems enthalten.

Zu den Ebenen und Teilsystemen eines Leittechniksystems zählen in der Matrix:

- Eingabeebene,
- Verarbeitungsebene,
- Ausgabebene,
- Stromversorgung,
- Schutzeinrichtungen,
- Kommunikation und
- Zugriffsmöglichkeiten.

Jede dieser Ebenen und jedes Teilsystem wird in der Diversitätsmatrix noch einmal in verschiedene Komponenten und Baugruppen unterteilt.

Im Rahmen der Diversitätsmatrix werden als Bestandteile der Eingabeebene Sensoren sowie Messumformer und Bedienelemente mit und ohne Softwarebestandteile definiert. In diesen Komponenten können KEK enthalten sein. Hier besteht jedoch keine von der Komponente losgelöste Auswahlmöglichkeit der KEK. Daher kommt diese Ebene für die im Rahmen dieses Vorhabens untersuchte Fragestellung zur Auswahl von KEK nicht in Frage. Ähnliches gilt für die Gruppen Ausgabebene, die Stromversorgung, Schutzein-

richtungen, Kommunikation und Zugriffsmöglichkeiten. Auch hier können in den verschiedenen Komponenten KEK verbaut sein, eine von der Komponente losgelöste Auswahl der KEK ist aber nicht möglich. Damit sind sie für die Fragestellung dieses Vorhabens nicht relevant.

Die für dieses Vorhaben relevante Ebene ist die Ebene der Verarbeitung. Zu dieser Ebene gehören die folgenden Baugruppen:

- Nicht-programmierbare Baugruppen ohne Software-Bestandteile, die aus diskreten Bauelementen aufgebaut sind (z. B. festverdrahtete Logikgatter),
- Nicht-programmierbare Baugruppen mit Software-Bestandteilen, bei denen die softwarebasierte Konfigurierung im Herstellungsprozess vorgenommen wird und anschließend durch den Anwender nicht mehr verändert werden kann
- Programmierbare Baugruppen, die mindestens ein programmierbares Bauelement enthalten, bei dem die softwarebasierte Konfigurierung auch nach dem Herstellungsprozess veränderbar bleibt (z. B. CPLDs, FPGAs)
- Rechnerbasierte Baugruppen, die einen oder mehrere Prozessoren enthalten und bei denen sowohl Konfiguration als auch Funktion der Baugruppe durch die Ausführung von Software in einem Betriebssystem realisiert wird, und
- Rechner, d. h. dauerhaft oder zeitweise mit dem Leittechniksystem verbundene, eigenständige Rechneranlage, die für die Ausführung von Leittechnikfunktionen relevant sind.

Die Diversitätsmerkmale dieser Ebene sind ebenfalls in verschiedene Themenblöcke aufgeteilt:

- Beteiligtes Personal:
 - Personal bei Betrieb und Instandhaltung,
 - Personal bei Herstellung und Entwicklung,
- Betrieb und Instandhaltung:
 - Tests und Prüfungen,
 - Hard- und Software-Management,

- Systemaufbau und Technologie:
 - Ankopplung an die Verfahrenstechnik,
 - Logik,
 - Eingesetzte Hardware,
 - Eingesetzte Software,

- Herstellung und Entwicklung:
 - Tests,
 - Entwicklung und Fertigung der Hardware,
 - Software-Erstellung und
 - Design.

Jeder der genannten Blöcke enthält eine unterschiedliche Anzahl von Diversitätskriterien. Im Rahmen dieses Vorhabens wurde jedes dieser Kriterien auf seine Anwendbarkeit auf die Auswahl von KEK überprüft. Das Ergebnis dieser Prüfung sowie die Erweiterung der Diversitätsmatrix um die in diesem Vorhaben ermittelten Diversitätskriterien wird im Folgenden beschrieben.

6.2 Weiterentwicklung der Diversitätsmatrix

Wie im letzten Abschnitt dargestellt, besteht die Matrix zum einen aus einer Einteilung in relevante Ebenen, Teilsystemen und Baugruppen eines softwarebasierten und programmierbaren Leittechniksystems und zum anderen aus den anzuwendenden Diversitätsmerkmalen.

Um die bestehende Matrix entsprechend der im Rahmen dieses Vorhabens ermittelten Diversitätsmerkmale zu erweitern, mussten demnach zwei Entscheidungen getroffen werden. Als erstes musste entschieden werden, zu welcher der vorhandenen Teilsysteme, Baugruppen oder Komponenten die untersuchten KEK zuzuordnen sind. Anschließend musste untersucht werden, welche der bestehenden Diversitätsmerkmale auf die Fragestellungen dieses Vorhabens bereits anwendbar sind und welche Merkmale ergänzt werden müssen. Darüber hinaus musste untersucht werden, wie die neuen Merkmale sinnvoll in die bestehende Diversitätsmatrix integriert werden können. Auf diese verschiedenen Aspekte wird im Folgenden eingegangen.

6.2.1 Zuordnung zur System- und Komponentenauswahl

Wie bereits im letzten Abschnitt erläutert, können die betrachteten KEK im Rahmen der Fragestellung dieses Vorhabens der „Verarbeitungsebene“ zugeordnet werden. Da es sich bei den betrachteten KEK um programmierbare Komponenten handelt, lassen sie sich den „Programmierbare Baugruppen“ zuordnen.

In Einzelfällen ist es auch möglich, KEK als „nicht-programmierbare Baugruppe“ einzuordnen. Hierzu können beispielsweise Antifuse-FPGAs oder ASICs gehören, die nach der Entwicklung nicht mehr verändert werden können. Auch können beispielsweise SoCs möglicherweise als rechnerbasierte Baugruppen angesehen werden, da diese in der Regel über Firmware und Mikroprozessoren verfügen. Diese Komponenten wurden jedoch im Rahmen dieses Vorhabens nicht betrachtet, so dass die untersuchten KEK als „Programmierbare Baugruppe“ eingeordnet wurden.

6.2.2 Anwendbarkeit bestehender Diversitätsmerkmale auf KEK

Von den in Kap. 6.1 genannten Themenblöcken der Diversitätskriterien sind nicht alle für die Auswahl von KEK anwendbar. Die Bewertung der einzelnen Diversitätskriterien ergab, dass für dieses Vorhaben die in Tab. 6.1 genannten Themenblöcke und Diversitätsmerkmale relevant sind. Bei den übrigen Kriterien handelt es sich um Aspekte, die erst nach der Auswahl von KEK für die Entwicklung des Leittechniksystems eine Rolle spielen. Hierzu zählen beispielsweise das beteiligte Personal, Tests und Prüfungen sowie Hard- und Software-Management.

Von den vier in der Diversitätsmatrix enthaltenen Themenblöcken sind demnach zwei Blöcke auch für die Auswahl von KEK relevant. Innerhalb dieser beiden Themenblöcke werden darüber hinaus insgesamt drei Untergruppen für die Auswahl von KEK betrachtet. Beim Themenblock „Herstellung und Entwicklung“ können einige der bereits vorhandenen Diversitätsmerkmale auf die Fragestellung dieses Vorhabens angewandt werden. Sie sind ebenfalls in Tab. 6.1 dargestellt.

Neben den bereits vorhandenen Diversitätsmerkmalen haben sich im Rahmen dieses Vorhabens weitere Diversitätskriterien ergeben, die im Folgenden vorgestellt und ihre Einordnung in die bereits vorhandene Struktur der bestehenden Diversitätsmatrix dargestellt werden.

Tab. 6.1 Anwendbare Diversitätsmerkmale aus der bestehenden Diversitätsmatrix für die Auswahl von KEK

Themenblock	Untergruppe	Diversitätsmerkmale
Systemaufbau und Technologie	Eingesetzte Hardware	Bestehende Merkmale nicht anwendbar
Herstellung und Entwicklung	Softwareerstellung	<ul style="list-style-type: none"> • Software-Werkzeuge • Programmiersprachen • Hersteller einschl. Unterauftragnehmer
	Entwicklung und Fertigung der Hardware	<ul style="list-style-type: none"> • Hardwareentwicklungsverfahren • Hersteller einschl. Unterauftragnehmer • Zulieferer • Fertigungsprozess • Ort der Fertigung

6.2.3 Diversitätsmerkmale für die Auswahl von KEK für den Einsatz in sicherheitsrelevanten Leittechniksystemen

In Kap. 4 und 1 wurden die verschiedenen Herstellungs- und Entwicklungsprozesse von KEK detailliert untersucht und Bewertungen zu verschiedenen Hardware- und Software-Aspekten vorgenommen, inwieweit sich bestimmte Aspekte als Diversitätskriterium für KEK eignen und als solche eingesetzt werden sollten. Das Ergebnis ist in Tab. 6.2 zusammenfassend dargestellt.

Die im Themenblock „Systemaufbau und Technologie“ in der relevanten Untergruppe „Eingesetzte Hardware“ bereits vorhandenen Diversitätsmerkmale sind in der bestehenden Form nicht auf KEK anwendbar, da sie sich im Wesentlichen auf die Systemebene beziehen oder nicht ausreichend konkret für die Auswahl von KEK sind. Daher wurden diese Merkmale für die Auswahl von KEK nicht verwendet. Stattdessen wurde die Untergruppe in zwei weitere Untergruppen unterteilt: „Gehäuse“ und „Architektur und Charakteristik“.

Die Untergruppe „Architektur und Charakteristik“ bezieht sich dabei auf die KEK selbst, d. h. auf ihren grundsätzlichen Aufbau und ihre Eigenschaften. Das Gehäuse ist

unabhängig vom KEK zu betrachten, daher wurden die relevanten Diversitätsmerkmale in eine eigene Untergruppe eingefügt.

Tab. 6.2 Erweiterte Matrix zur Diversitätsbewertung bei der Auswahl von KEK

Systemaufbau und Technologie		Herstellung und Entwicklung	
Eingesetzte Hardware		Entwicklung und Fertigung der Hardware	Softwareerstellung
Gehäuse	Architektur und Charakteristik		
Art des Gehäuses	Architektur	Ort der Fertigung	Entwicklungsumgebung und Design-Werkzeuge
Art der Kontaktierung zwischen Gehäuse und Chip	Speichertechnologie	Fertigungsprozess	Synthesewerkzeuge
	CLB-Typen		Simulationswerkzeuge
Abmessungen	<u>I/O-Standards</u>	Hersteller, einschl. Unterauftragnehmer	Werkzeuge zur Analyse und Verifikation
Gehäusematerial	Kommunikationsstandards		
Befestigungsrichtung des Chips im Gehäuse	Takt-Management		Programmiersprachen
Gehäusehersteller	Strukturgröße	Zulieferer	Hardwarebeschreibungssprachen
	Komponentendichte		Vorgefertigte Software/ IP-Cores
	Komplexität		Hersteller einschl. Unterauftragnehmer

Für die neue Untergruppe „Gehäuse“ wurden folgende Diversitätsmerkmale abgeleitet:

- Art des Gehäuses,
- Art der Verbindung zwischen Gehäuse und Chip,
- Abmessungen (Gehäusegröße, Anzahl der Pins, Pitch)
- Gehäusematerial,
- Befestigungsrichtung des Chips und
- Gehäusehersteller.

Für die neue Untergruppe „Architektur und Charakteristik“ haben sich die folgenden Diversitätsmerkmale ergeben:

- Architektur,
- Speichertechnologie,
- CLB-Typen,
- I/O- und Kommunikationsstandards,
- Takt-Management,
- Strukturgröße,
- Komponentendichte und
- Komplexität.

Im Themen-Block „Herstellung und Entwicklung“ können einige der in den beiden relevanten Untergruppen bereits vorhandenen Diversitätsmerkmale auch auf die Auswahl von KEK angewandt werden. In der Untergruppe „Software-Erstellung“ sind dies

- Programmiersprachen,
- Hersteller einschl. Unterauftragnehmer und
- vorgefertigte Software.

Das Merkmal „vorgefertigte Software“ wird zur Anpassung an die Auswahl von KEK um den Aspekt „IP-Cores“ ergänzt.

Neu hinzu kommen in dieser Untergruppe die Merkmale

- Entwicklungsumgebung und Design-Werkzeuge,
- Synthesewerkzeuge,
- Simulationswerkzeuge,
- Werkzeuge zur Analyse und Verifikation und
- Hardwarebeschreibungssprachen

Das in der Diversitätsmatrix bereits vorhandene Merkmal „Software-Werkzeuge“ kann grundsätzlich übertragen werden, wird aber im Rahmen dieses Vorhabens in die verschiedenen Werkzeuge für Design, Synthese, Simulation sowie Analyse und Verifikation unterteilt, da diese für die unterschiedlichen Entwicklungsschritte eingesetzt werden (siehe hierzu Kap. 5.3).

In der Untergruppe „Entwicklung und Fertigung der Hardware“ können die bereits vorhandenen Diversitätsmerkmale

- Ort der Fertigung,
- Fertigungsprozess,
- Hersteller einschl. Unterauftragnehmer und
- Zulieferer.

übernommen werden, die auch die für die Auswahl der KEK relevanten Aspekte bereits abdecken. Hier wurden also keine neuen Merkmale hinzugefügt.

Im Rahmen dieses Vorhabens wurden sowohl die bereits existierenden Beschreibungen der für dieses Vorhaben relevanten Diversitätsmerkmale angepasst als auch neue Beschreibungen für die ergänzten Diversitätskriterien erstellt. Diese werden im Folgenden vorgestellt. Bei Überschneidungen mit der im Projekt „Aufstellung von Kriterien und Kenngrößen zur deterministischen Prüfung der Eignung von Redesign-Komponenten für den Einsatz in der Sicherheitsleittechnik von Kernkraftwerken“ /GRS 15a/ erstellten Diversitätsmatrix wurde die dortigen Umschreibungen und Erläuterungen wörtlich oder mit kleinen Änderungen übernommen. Die entsprechenden Textteile werden im Folgenden kursiv gedruckt.

Herstellung und Entwicklung - Entwicklung und Fertigung der Hardware

- **Ort der Fertigung**

Hier werden insbesondere Eigenschaften des Orts oder der Orte, an dem die Hardware gefertigt wird, betrachtet, die einen Einfluss auf das dort gefertigte Produkt haben können. Für das Vorliegen von Diversität in diesem Merkmal muss die Fertigung der Hardware oder Hardwarekomponenten zur Vermeidung von Fehlfunktionen aufgrund identischer Umwelteinflüsse (z. B. Temperatur, Luftfeuchtigkeit, Partikel in der Luft) an unterschiedlichen Orten erfolgen.

Es sollte sichergestellt werden, dass die ausgewählten KEK in verschiedenen Reinräumen hergestellt wurden. Bei der Fertigung von KEK kann eine Diversität erreicht werden, wenn sie in unterschiedlichen Reinräumen gefertigt werden. Das kann sowohl durch mehrere Hersteller als auch durch einen Unterauftragnehmer mit mehreren Fabrikationsorten (und unterschiedlichem Personal) erreicht werden.

- **Fertigungsprozess**

Der Fertigungsprozess umfasst eine oder mehrere Methoden, mit denen durch die Bearbeitung von Materialien oder zugelieferten Komponenten das gewünschte Produkt hergestellt wird, wobei sämtliche Aspekte des Fertigungsprozesses einschließlich eingesetzter Maschinen und verwendeter Verfahren betrachtet werden. Für das Vorliegen von Diversität in diesem Merkmal muss sich die Fertigung der Hardware bzw. der Hardwarekomponenten grundlegend unterscheiden (z. B. hinsichtlich eingesetzter Maschinen, Verfahren, Programme zur Automatisierung etc.).

Bei KEK wird unter Fertigungsprozess die Herstellung des Wafers sowie die Front- und Backend-Fertigung verstanden, zu der u.a. die Fotolithographie zählt.

- **Hersteller einschl. Unterauftragnehmer**

Hier wird neben dem Hersteller einer Hardware auch jeder von diesem beauftragte Unterauftragnehmer betrachtet. Für das Vorliegen von Diversität in diesem Merkmal muss der gesamte Fertigungsprozess bei unterschiedlichen Herstellern erfolgen. Sofern eine Auslagerung einzelner Fertigungsschritte an Unterauftragnehmer erfolgt, muss dies bei unterschiedlichen Firmen erfolgen.

- **Zulieferer**

Hier werden sämtliche Zulieferer betrachtet, die während der Entwicklung und Fertigung der Hardware an den Hersteller oder von ihm beauftragte Unterauftragnehmer Hardwarekomponenten oder Materialien liefern. Für das Vorliegen von Diversität in diesem Merkmal müssen über den gesamten Fertigungsprozess hinweg die benötigten Hardwarekomponenten und Materialien von unterschiedlichen Zulieferern bezogen werden.

Herstellung und Entwicklung - Softwareerstellung

- **Entwicklungsumgebungen und Design-Werkzeuge**

KEK-Hersteller bieten oft Entwicklungsumgebungen an, innerhalb derer die verschiedenen Entwicklungsschritte (Design, Synthese, Simulation) durchgeführt werden können. Für das Vorliegen von Diversität in diesem Merkmal müssen für die KEK-Entwicklung verschiedene Entwicklungsumgebungen verwendet werden. Dabei ist darauf zu achten, dass innerhalb dieser Entwicklungsumgebungen Werkzeuge unterschiedlicher Hersteller eingesetzt werden.

- **Synthesewerkzeuge**

Zur Entwicklung von integrierten Schaltkreisen werden Synthesewerkzeuge genutzt. Diese Werkzeuge übertragen die in einer Hardwarebeschreibungssprache beschriebenen Schaltungen in eine Gatternetzliste³³. Ein Sonderfall bilden die High-Level-Synthesewerkzeuge, mit deren Hilfe aus einer Programmiersprache (beispielsweise der Hochsprache C++) ein Entwurf auf RTL (beispielsweise in VHDL) erzeugt werden kann. Für das Vorliegen von Diversität in diesem Merkmal müssen Synthesewerkzeuge unterschiedlicher Hersteller eingesetzt werden.

- **Simulationswerkzeuge**

Für das Vorliegen von Diversität in diesem Merkmal müssen Simulationswerkzeuge unterschiedlicher Hersteller eingesetzt werden.

- **Werkzeuge zur Analyse und Verifikation**

Für das Vorliegen von Diversität in diesem Merkmal müssen Werkzeuge unterschiedlicher Hersteller für Analyse und Verifikation eingesetzt werden.

- **Programmiersprachen**

Eine Programmiersprache ist eine formale Sprache, die zur Kommunikation mit einer Maschine oder einem Rechner dient. Sie dient der Formulierung von Datenstrukturen und Algorithmen, die von einem Rechner ausgeführt werden können. Für das Vorliegen von Diversität in diesem Merkmal müssen bei der Softwareerstellung grundlegend unterschiedliche Programmiersprachen (z. B. objektorientiert oder nicht objektorientiert, anwendungsorientierte oder allgemeine Sprachen) verwendet werden.

Auch bei der Entwicklung von KEK können Programmiersprachen für bestimmte Entwicklungsschritte genutzt werden. Beispielsweise lässt sich mithilfe von Werkzeugen (z. B. C to HDL) ein Entwurf, der in einer Programmiersprache (z. B. C) geschrieben wurde, automatisch in einen Entwurf in einer Hardwarebeschreibungssprache übersetzen.

³³ Eine Netzliste ist eine sprachliche Beschreibung der elektrischen Verbindungen zwischen Bauelementen. Im Bereich des Designs von integrierten Schaltkreisen bestehen die Verbindungen dabei zwischen den verschiedenen Modulen (z. B. Logikgatter und Speicherblöcke) eines Microchips.

- **Hardwarebeschreibungssprachen**

Eine Hardwarebeschreibungssprache ist eine spezielle Computersprache, mit deren Hilfe Strukturen und Verhalten von integrierten Schaltungen beschrieben und in Simulationen getestet werden. Für das Vorliegen von Diversität in diesem Merkmal müssen bei der Entwicklung unterschiedliche Hardwarebeschreibungssprachen (z. B. Verilog und VHDL) verwendet werden.

- **Vorgefertigte Software/ IP-Cores**

Vorgefertigte Software ist als kommerzielles oder gesetzlich geschütztes Produkt verfügbar, wobei sie für den Einsatz in einem rechnerbasierten System vorgesehen ist. Sofern vorgefertigte Softwarebestandteile verwendet werden, muss für das Vorliegen von Diversität in diesem Merkmal über den gesamten Prozess der Softwareerstellung hinweg die vorgefertigte Software von unterschiedlichen Herstellern bezogen werden. Insbesondere muss auch die vorgefertigte Software alle zutreffenden Diversitätsmerkmale erfüllen.

Bei KEK können IP-Cores (aus dem engl.: „intellectual property core“) als das Äquivalent zu vorgefertigter Software angesehen werden. IP-Cores sind vorgefertigte Funktionsblöcke eines Mikrochipdesigns, die beispielsweise im Fall von sogenannten „Soft Cores“ in einer Hardwarebeschreibungssprache vorliegen.

- **Hersteller einschließlich Unterauftragnehmer**

Hier wird neben dem Hersteller einer Software auch jeder von diesem beauftragte Unterauftragnehmer betrachtet. Für das Vorliegen von Diversität in diesem Merkmal muss die gesamte Erstellung der Software bei unterschiedlichen Herstellern erfolgen. Sofern eine Auslagerung der Codeerstellung an Unterauftragnehmer erfolgt, müssen voneinander unabhängige Firmen beauftragt werden.

Bei KEK kann ein Hersteller sowohl Hardware als auch Entwicklungs-Software zur Verfügung stellen. Es können jedoch auch Werkzeuge von Drittanbietern, eingesetzt werden. Werkzeuge, die von den KEK-Herstellern angeboten werden, können jedoch auf verschiedenen Werkzeugen von diesen Firmen aufbauen.

Systemaufbau und Technologie – Eingesetzte Hardware: Architektur und Charakteristik von KEK

- **Architektur**

KEK können in drei grundsätzliche Architekturen realisiert werden. Hierzu zählen die row-based, die island-style und die hierarchische Architektur. Für das Vorliegen von Diversität in diesem Merkmal sind unterschiedliche Architekturtypen auszuwählen. Jeder KEK-Hersteller verwendet ausschließlich eine dieser Architekturformen für alle seine KEK. Eine Diversität in diesem Punkt kann demnach durch KEK von unterschiedlichen Herstellern erreicht werden.

- **Speichertechnologie**

Es gibt im Wesentlichen drei Arten von Speichertechnologien, die bei KEK zum Einsatz kommen. Hierzu zählen flüchtige Speicher (z. B. SRAM), nichtflüchtige Speicher (z. B. Flash) und nicht-wiederbeschreibbare Speicher. Für das Vorliegen von Diversität in diesem Merkmal sind unterschiedliche Speichertechnologien einzusetzen.

- **CLB-Typen**

Es gibt drei Typen von Logikblöcken für KEK. Dabei wird für FPGAs zwischen solchen auf Basis von Logikböcken mit LUT und Multiplexern unterschieden, während bei modernen CPLDs zwischen solchen auf Basis von Logikblöcken mit LUT und SPLD unterschieden wird. Für das Vorliegen von Diversität in diesem Merkmal sind unterschiedliche CLB-Typen auszuwählen.

- **I/O- und Kommunikationsstandards**

Es gibt verschiedene Möglichkeiten, Signale an den KEK zu übertragen und die Spannungsversorgung zu gewährleisten. Für das Vorliegen von Diversität in diesem Merkmal sind unterschiedliche I/O- und Kommunikationsstandards auszuwählen.

- **Takt-Management**

Das Takt-Management des KEK kann mit unterschiedlich komplexem Aufbau umgesetzt werden. Hierbei wird unterschieden, ob zusätzliche Elemente wie PLL und DLL auf dem KEK verbaut werden. Für das Vorliegen von Diversität in diesem Merkmal sind KEK mit unterschiedlichen Elementen für das Takt-Management auszuwählen (mit/ ohne PLL/DLL).

- **Minimale Strukturgröße**

Die Minimale Strukturgröße dient als Maß für die Größe der auf dem KEK verbauten Komponenten und der Leiterbahnen. Unterschiedliche minimale Strukturgrößen können unterschiedlich robust sein. Für das Vorliegen von Diversität in diesem Merkmal sind verschiedene minimale Strukturgrößen auszuwählen.

- **Komponentendichte**

Es gibt eine große Auswahl von Komponentendichten von KEK, wobei der Trend bei Neuentwicklungen zu immer höheren Komponentendichten geht. Für das Vorliegen von Diversität in diesem Merkmal sind unterschiedliche Komponentendichten auszuwählen.

- **Komplexität**

Neben den Standardkomponenten, die auf jedem KEK vorhanden sind, kommen oftmals eine Reihe weiterer Komponenten auf KEK vor, um bestimmte Funktionen zur Verfügung zu stellen (z. B. JTAG-Anschluss für Tests, etc.). Für das Vorliegen von Diversität in diesem Merkmal sind unterschiedlich komplexe KEK auszuwählen.

Systemaufbau und Technologie – Eingesetzte Hardware: Gehäuse

- **Art des Gehäuses**

Es gibt eine große Auswahl von Gehäusetypen, z. B. BGA oder QFP. Für das Vorliegen von Diversität in diesem Merkmal sind unterschiedliche Gehäusetypen auszuwählen.

- **Art der Verbindung zwischen Chip und Gehäuse**

Die Kontaktierung von Gehäuse und Chip kann mittels Flip-Chip oder Draht erfolgen. Für das Vorliegen von Diversität in diesem Merkmal sind unterschiedliche Verbindungsarten auszuwählen.

- **Abmessungen**

Es gibt bei Gehäusen unterschiedliche Abmessungen. Typischerweise werden für jeden KEK mehrere Gehäusegrößen, mit unterschiedlicher Anzahl an Pins und verschiedenem Abstand zwischen den Pins (Pitch) angeboten. Für das Vorliegen von Diversität in diesem Merkmal sind unterschiedliche Abmessungen auszuwählen.

- **Gehäusematerial**

Es gibt unterschiedliche Gehäusematerialien, die entsprechend unterschiedliche Charakteristika, z. B. hinsichtlich thermischer Eigenschaften, aufweisen. Für das Vorliegen von Diversität in diesem Merkmal sind unterschiedliche Gehäusematerialien auszuwählen.

- **Befestigungsrichtung des Chips im Gehäuse**

Der Chip kann sowohl von oben als auch von unten im Gehäuse befestigt werden. Die Wahl der Richtung kann Auswirkungen auf die thermischen Eigenschaften und den Wärmetransport haben. Für das Vorliegen von Diversität in diesem Merkmal sind Gehäuse auszuwählen, in denen die Chips in unterschiedlicher Richtung befestigt werden können und die Chips sind dann entsprechend unterschiedlich zu befestigen.

- **Gehäusehersteller**

Es gibt unterschiedliche Gehäusehersteller. Für das Vorliegen von Diversität in diesem Merkmal sind Gehäuse von unterschiedlichen Herstellern auszuwählen.

7 Zusammenfassung

Seit mehr als zehn Jahren werden zunehmend komplexe elektronische Komponenten (KEK) in der Leittechnik (z. B. CPLDs, FPGAs) von Kernkraftwerken eingesetzt. Diese können sehr unterschiedlich ausgeführt sein und folglich eine unterschiedliche Komplexität aufweisen. Diversitätsbetrachtungen in der Leittechnik sind insbesondere in Zusammenhang mit Vorkehrungen zur Vermeidung von gemeinsam verursachten Ausfällen (GVA) in der Leittechnik relevant. Um Diversitätsbetrachtungen auch für komplexe elektronische Komponenten durchführen zu können, wurden im Rahmen dieses Vorhabens Diversitätsmerkmale für die Bewertung von KEK für sicherheitstechnisch wichtige Anwendungen erarbeitet.

In einem ersten Schritt wurden zunächst nationale und internationale nukleare und nicht-nukleare Anforderungen gesichtet und ermittelt, welche Anforderungen auf die Auswahl von KEK angewandt werden können.

Da es eine Vielzahl unterschiedlicher KEK gibt, wurde im nächsten Schritt eine Auswahl von KEK getroffen, die für die weiteren Untersuchungen im Vorhaben herangezogen wurden. Hierzu wurde zunächst ermittelt, von welchen Herstellern KEK in Kernkraftwerken bereits eingesetzt werden und welche relevanten Hersteller es gibt. Basierend auf den Anforderungen an KEK wurden nur solche Hersteller in Betracht gezogen, die KEK für sicherheitsrelevante Anwendungen (z. B. für die Luftfahrt, die Raumfahrt, das Militär, den Automobilbereich) anbieten und außerdem über Qualitätsmanagement-Nachweise verfügen. Schlussendlich ergaben sich fünf Hersteller, von denen insgesamt 37 KEK für die weiteren Untersuchungen des Vorhabens herangezogen worden. Bei den 37 KEK handelte es sich um 6 CPLDs und 31 FPGAs.

Anhand öffentlich verfügbarer Informationen wurde die hardwareseitige Herstellung und Entwicklung von ausgewählten KEK vertieft untersucht und Unterscheidungskriterien abgeleitet.

In kleinem Umfang wurde zudem eine Untersuchung zu Software-Werkzeugen durchgeführt, die für die Entwicklung von KEK eingesetzt werden können.

Es wurden folgende Aspekte betrachtet:

- Herstellung von Ingots und Wafern sowie Fertigung der KEK,
- Aufbau und Architektur von KEK (Logikblöcke, I/O-Blöcke, Speicher),
- Taktmanagement,
- Minimale Strukturgröße und Komponentendichte,
- Spannungsversorgung,
- Temperaturbereich,
- Strahlungsresistenz,
- Gehäuse,
- Software-Werkzeuge,
- IP-Cores.

Unter anderem ergaben die Untersuchungen zur Hardware und zu den grundlegenden Eigenschaften von KEK, dass eine einfache Unterscheidung nach FPGA und CPLD bei modernen KEK nicht mehr möglich ist. Moderne CPLDs verfügen über die gleichen Strukturen und den gleichen Aufbau wie FPGAs, wenn sie vom selben Hersteller stammen. In der Regel könnten sie auch als FPGAs mit kleiner Komponentendichte bezeichnet werden. CPLDs verfügen über weniger zusätzliche Bausteine wie z. B. DLLs oder PLLs fürs Taktmanagement. Dies begründet sich in ihrer kleinen Komponentendichte, bei der solche Bausteine nicht benötigt werden. Hierdurch unterscheiden sie sich jedoch nicht zwingend von FPGAs mit vergleichbarer Komponentendichte.

Aufbauend darauf wurde abschließend die im Vorhaben 3611R01355 „Aufstellung von Kriterien und Kenngrößen zur deterministischen Prüfung der Eignung von Redesign-Komponenten für den Einsatz in der Sicherheitsleittechnik von Kernkraftwerken“ /GRS 15a/ entwickelte Diversitätsmatrix für die Auswahl von KEK weiterentwickelt und angepasst. Hierzu wurden zunächst die bereits vorhandenen Diversitätsmerkmale untersucht und dahingehend bewertet, inwieweit sie auch für die Auswahl von KEK angewandt werden können. Anschließend wurden basierend auf den Untersuchungen des Vorhabens neue Diversitätsmerkmale abgeleitet.

Für den Themenblock „Eingesetzte Hardware“ wurden zwei neue Themen-Blöcke eingeführt: „Gehäuse“ und „Architektur und Charakteristik“ und Diversitätskriterien entwickelt und beschrieben. Für den bereits vorhandenen Themenblock „Softwareerstellung“ wurden acht neue Diversitätskriterien abgeleitet und beschrieben.

Für den Themenblock „Entwicklung und Fertigung der Hardware“ konnten die bestehenden Kriterien übernommen werden. Lediglich die Beschreibungen der Diversitätskriterien wurden um Beschreibungen für die Anwendung auf die KEK-Auswahl erweitert.

Für jedes bereits bestehende Diversitätskriterium wurde geprüft, inwieweit die Beschreibung auch für die KEK-Auswahl zutrifft und anschließend bei Bedarf mit Beschreibungen für die Anwendung auf die Auswahl von KEK ergänzt.

Für eine Diversitätsbewertung müssen nicht alle aufgezeigten Merkmale erfüllt sein. In Abhängigkeit von der geforderten Diversität sind spezifisch Diversitätsmerkmale auszuwählen. Ist eines der Diversitätskriterien nicht erfüllt, ist zu prüfen, inwieweit die Diversität bereits durch andere Diversitätskriterien dahingehend abgedeckt ist, dass ein gemeinsam verursachter Ausfall vermieden wird.

A Anhang: Einsatzorte von KEK in KKW

Tab. A.1 Einsatzorte der KEK, System und Hersteller in KKW

Anlage	System, I&C-Hersteller, KEK
Wolf Creek	<p>System: "Main Steam and Feedwater Isolation System", „Advanced Logic System" (ALS)</p> <p>Hersteller: CS Innovations, Tochter von Westinghouse</p> <p>Infos zu FPGAs:</p> <ul style="list-style-type: none"> - Actel ProASIC APA600-BG4561 - VHDL, keine Verwendung von IP-Cores - Keine eingebetteten Mikroprozessoren oder Speicher - Nicht-qualifizierte Werkzeuge für Entwicklung und Verifizierung verwendet
Diablo Canyon	<p>System: Process Protection System, ALS (wie in der Anlage Wolf Creek, aber mit zusätzlichen Diversitätsmerkmalen im Design), Diverse Actuation System (DAS)</p> <p>Plattform: Tricon</p> <p>Hersteller: CS Innovations, Tochter von Westinghouse</p> <p>Infos zu FPGAs:</p> <ul style="list-style-type: none"> - Actel ProASIC APA600-BG4561 - Alle Sprachen, Werkzeuge, IP-Cores wie in der Anlage Wolf Creek
South Texas Project	<p>System: Neutronenfluss-Leistungsverteilungsüberwachungssystem, Detektoren für mittlere und lokale Leistungsverteilung</p> <p>I&C Hersteller: Toshiba</p> <p>Infos zu FPGAs:</p> <ul style="list-style-type: none"> - Antifuse-FPGAs von Actel (A54SX72A and A54SX32A) - VHDL und Verilog zur Programmierung der FPGAs, kein Einsatz von IP-Cores - Actel IDE (Netlist viewer, Place+Route, Static timing Analyzer) verwendet, inkl. Synplify, ModelSim, Silicon Sculptor II, Pinport (keine Qualifikation)

Anlage	System, I&C-Hersteller, KEK
AP 1000, USA (Vogtle, VC Summer)	<p>System: Component Interface Modules (Klasse 1E nach IEEE), ALS, „diverse actuation system“ (DAS)</p> <p>Infos zu FPGAs:</p> <ul style="list-style-type: none"> - Werkzeuge, Sprachen, IP Cores wie in Wolf Creek - Actel ProASIC APA600-BG4561
AP 1000, China (2xSanmen, 2xHiyang)	<p>System: Component Interface Module, ALS</p>
CAP-1400	<p>System: Funktionen der Klasse 1E nach IEEE (können für ESFAS³⁴ eingesetzt werden sowie in verschiedenen Leittechniksystemen, zur Datenkommunikation, für Interlocks und anderes)</p> <p>I&C Hersteller: Lockheed Martin (Plattform NuPAC)</p>
Yangjiang 5+6, China	<p>System: DAS (Fitrel), Prioritätsmodule (Triconex)</p> <p>Hersteller: Fitrel Plattform von CTEC, Triconex</p>
NuScale Power Small Modular Reactors	<p>System: Reaktorschutzsystem</p>
San Onofre	<p>System: Reaktorschutzsystem, inkl. „Core Protection Calculator“, „Plant Protection System“, Steuerung der Notstromdieselgeneratoren</p> <p>I&C Hersteller: Lockheed Martin, NuPAC Plattform</p>
UK Plant	<p>System: Gag Vibration Monitor, FPGAs für Funktionen der Kat. C</p>
Hitachi ABWR, UK	<p>System: Safety System Logic + Control System (Class 1 nach IEEE)</p>

³⁴ ESFAS: Engineered Safety Features Actuation System

Anlage	System, I&C-Hersteller, KEK
Darlington Canada	<p>System: FPGAs für nicht sicherheitsrelevante Systeme und Computer zur Brennelementhandhabung</p> <p>FPGA für Sicherheitsabschaltssystem Nr. 1 (SDS 1) und Notkühlsystem</p> <p>I&C Hersteller: Radiy-Plattform – FPGA-basierter Safety Controller</p> <p>Infos zu FPGAs:</p> <ul style="list-style-type: none"> - SRAM-basierter FPGA von Altera - SRAM-basierter FPGA von Xilinx (Virtex 5 XC5VLX) - VHDL - Alle Werkzeuge und IP Cores qualifiziert
Pickering	<p>System: Shut-off rod indicator system</p> <p>I&C Hersteller: Radiy</p>
EDF 900MW Serie, Frankreich (34 Anlagen)	<p>System: Rod Control System, Reactor InCore measurement System</p> <p>I&C Hersteller: Rolls Royce Civil Nuclear</p> <p>Infos zu FPGAs:</p> <ul style="list-style-type: none"> - RCS: flash-basierte FPGAs von Actel (3x3 Familie, A3P1000) - VHDL - Place+Route: Design-Werkzeug von Actel - Simulation mit ModelSim (Mentor Graphics) - Kein Einsatz von IP-Cores
EDF 1300MW series, Frankreich	<p>System: Austausch von Motorola 6800 Mikroprozessoren gegen FPGA-basierte Emulatoren, die sicherheitsrelevante Reaktorschutzfunktionen ausführen</p> <p>I&C Hersteller: Rolls Royce</p> <p>Infos:</p> <ul style="list-style-type: none"> - Keine Verwendung von vorgefertigtem Code - Mentor Graphics HDL Designer Verifikationswerkzeug

Anlage	System, I&C-Hersteller, KEK
ABWR, Japan	<p>System: Neutronenfluss-Leistungsverteilungsüberwachungssystem (Klasse 1E nach IEEE)</p> <p>I&C Hersteller: Toshiba</p> <p>Infos zu FPGAs:</p> <ul style="list-style-type: none"> - Antifuse-FPGAs von Actel (A54SX72A, A54SX32A) - VHDL und Verilog verwendet zur Programmierung der FPGAs, kein Einsatz von IP-Cores - ACTEL IDE mit weiteren Werkzeugen verwendet, u.a. <ul style="list-style-type: none"> • Synplify (Synplicity) • ModelSim (Mentor Graphics) • Silicon Sculptor II (Actel) • Pinport (SynaptiCAD) als Schnittstelle zwischen Modelsim und digitaler Hardware - Keines der Werkzeuge war qualifiziert.
Kozloduy 5+6, Bulgarien	<p>System: ESFAS</p> <p>I&C Hersteller: Radiy</p> <p>Infos zu FPGAs:</p> <ul style="list-style-type: none"> - Altera Cyclone (SRAM), Actel PROASIC3 (Flash) - Komplexe Software läuft auf Mikroprozessoren unter Windows XP, einfachere Software läuft auf FPGAs, dies beinhaltet auch FPGAs mit Mikroprozessor-Emulation - Altera Quartus IDE - VHDL-Bibliothek MegaCore - VHDL für FPGA-Design, C für FPGA-basierten Mikroprozessor-Emulator - Actel Libero IDE - IP-Cores enthalten Mikroprozessor-Emulatoren von Altera und Actel und Ethernet-Schnittstelle
Bulgarien und Ukraine	<p>System: Schnellabschaltsystem (30x in der Ukraine), ESFAS (18x in der Ukraine und Bulgaria), Reactor Power Control and Limitation System (10x in der Ukraine), Steuerstabsystem (1x in der Ukraine), Feuersystem (9x in der Ukraine), Spannungsversorgung für RCS (3x in der Ukraine und in Bulgarien), Schaltgeräte (1300x in der Ukraine und in Bulgarien), Seismische Sensoren (63x in der Ukraine)</p> <p>I&C Hersteller: Radiy</p> <p>Infos zu FPGAs: 2 redundante FPGAs von verschiedenen Herstellern, programmiert mit verschiedenen Werkzeugen und Sprachen</p>

Anlage	System, I&C-Hersteller, KEK
Lungmen, Taiwan	<p>System: FPGA-basiertes Design für den Austausch des aktuellen mikroprozessor-basierten Schutzsystems</p> <p>Infos zu FPGAs: Actel Smartfusion (Flash)</p>
Yonggwang + Ulchin, Südkorea	<p>System: Austausch des diversitären Schutzsystems (Diverse Protection System)</p>
Temelin, Tschechien	<p>System: FPGAs für nicht-programmierbare Logik im Leittechniksystem (safety load interface, communication between primary RPS, Diverse protection system and safety diesel load sequencer [Klasse 1E nach IEEE])</p> <p>I&C Hersteller: Westinghouse</p> <p>Infos zu FPGAs: Actel A14100A</p>
Olkiluoto, Finnland	<p>System: FPGA-basiertes Backup-System für mikroprozessor-basiertes System</p> <p>I&C Hersteller: Areva/Siemens</p>
Ringhals	<p>System: Component interface Modules</p> <p>I&C Hersteller: Westinghouse</p>

B Anhang: Zulässige Temperaturbereiche der untersuchten KEK

Tab. B.1 Empfohlene und maximal zulässige Bereiche der Umgebungstemperatur und der Temperatur der KEK im Gehäuse;
 A: Automotive, C: Commercial, E: Extended, I: Industrial, M: Military, Q: Expanded

Hersteller	Typ	Umgebungstemperatur		Temperatur des KEK im Gehäuse	
		Empfohlen	Maximal	Empfohlen	Maximal
Lattice Semi	Mach XO	-	-55 – 125 °C A: -65 – 150 °C	A: -40 – 125 °C C: 0 - 85°C I: -40 - 100°C	-55 – 125 °C A: < 125 °C
	XP2	-	-65 - 150 °C		<125 °C
	ECP3	-			
Microsemi	Polarfire	-	-65 - 150 °C	I: -40 - 100 °C E: 0 - 100 °C	-55 - 135 °C
	IGLOO2	-		C: 0 - 85 °C I: -40 - 100 °C	
	RTG4	-		-55 - 125 °C	< 135 °C
	eX	C: 0 - 70 °C I: -40 - 85 °C		-	-
	SX-A			M: -55 - 125 °C	-
	MX				-
	ProASIC3	-		C, I	< 125 °C

Hersteller	Typ	Umgebungstemperatur		Temperatur des KEK im Gehäuse	
		Empfohlen	Maximal	Empfohlen	Maximal
	ProASICplus	C: 0 - 70 °C I: -40 - 85 °C M: -55 - 125 °C	C, I: -55 - 110 °C M: -65 - 150 °C	-	C, I: < 110 °C M: < 150 °C
Intel/Altera	Statix 10	-	-65 - 150 °C	E: 0 - 100 °C I: -40° - 100 °C	-55 bis 125 °C
	Stratix 5	-		C: 0 - 85 °C I	
	Arria 10	-		E, I A: -40 - 125 °C	
	Arria V	-		C, I	
	Cyclone 10	-		C, I, A	
	Cyclone 5	-			
	Max 10	-			
	Max V	-	Storage ³⁵ : -65 - 150 °C Ambient: -40 - 100 °C	< 135 °C	
Max II	-	-40 - 100 °C	0-55 °C	-	
Xilinx	Virtex 5	-	-65 - 150 °C	-	< 125 °C

³⁵ „Storage-Temperatur“: Umgebungstemperatur, ohne dass der Chip in Betrieb ist. „Ambient Temperatur“: Umgebungstemperatur, während Chip in Betrieb ist. Junction-Temperatur: Temperatur des Chips im Gehäuse.

Hersteller	Typ	Umgebungstemperatur		Temperatur des KEK im Gehäuse	
		Empfohlen	Maximal	Empfohlen	Maximal
	Spartan 6	-		C: 0-85 °C I: -40 - 100 °C Q: -40 - 125 °C	
	Spartan 7	-			
	Virtex 7	-		C, I, M: -55 °C - 125 °C E: 0-100 °C	
	Kintex 7	-		C, E, I, M	
	Artix 7	-		C, E, I, M, Q	
	Virtex Ultrascale	-		C, E, I	
	Kintex Ultrascale	-		C, E, I, M	
	Virtex Ultrascale+	-		E, I	
	Virtex Ultrascale+	-		E, I, M	
	Zync7000	-		C, E, I, Q	
Coolrunner II	-	Ambient: 0 -70 °C (C), -40 - 85 °C (I) Storage: -65 - 150 °C	-40 - 150 °C	-40 - 150 °C	
Microchip	AT40K	I: -40 - 85 °C C: 0 - 70 °C	Ambient: -55 - 125 °C Storage: -65 - 150 °C	M: -55 - 125 °C	-
	ATF 280	-	Ambient: -40 - 85 °C Storage: -65 - 150 °C		-
	ATF 1504	Ambient:	Ambient: -55 - 125 °C	-	-55 - 155 °C

Hersteller	Typ	Umgebungstemperatur		Temperatur des KEK im Gehäuse	
		Empfohlen	Maximal	Empfohlen	Maximal
	ATF 2500C	0-70 °C (C), -40 - 85 °C (I)	Storage: -65 - 150 °C	M: -55 - 125 °C	< 150 °C
	ATF 750C				-

Abbildungsverzeichnis

Abb. 4.1	Prozessschritte bei der Fotolithografie /VOE 00/.....	27
Abb. 4.2	Schematische Darstellung des Aufbaus eines CPLDs /GOD 13/	34
Abb. 4.3	Schematischer Aufbau eines SPLDs /GOD 13/	35
Abb. 4.4	Aufbau eines PROM /MAX 04/.....	35
Abb. 4.5	Aufbau eines FPGA-Bausteins /IAE 17/.....	36
Abb. 4.6	LUT-basierter CLB /MAX 04/	37
Abb. 4.7	Island-Style Architektur bei KEK von Xilinx /FRI 09/.....	38
Abb. 4.8	Island-Style Architektur bei KEK von Microchip /ATM 14/	39
Abb. 4.9	Hierarchische Architektur bei KEK von Altera /FRI 09/.....	40
Abb. 4.10	Row-based Architektur bei KEK von Microsemi /FRI 09/.....	40
Abb. 4.11	Row-based Architektur bei KEK von Lattice Semi /LAT 07/	41
Abb. 4.12	Multiplexer-basierter CLB /MAX 04/	42
Abb. 4.13	Aufbau eines KEK mit unterschiedlichen Taktdomänen /KES 13/.....	50
Abb. 4.14	KEK-Aufbau mit DLL /KES 13/.....	52
Abb. 4.15	Typisches Spannungsversorgungssystem von FPGAs /LIX 18/.....	60
Abb. 4.16	Bedrahtete durchsteckmontierbare Gehäusetypen /WIK 19/.....	68
Abb. 4.17	Oberflächenmontierbare Gehäusetypen /IND 19/	68
Abb. 4.18	Verbindung zwischen Chip und Gehäuse mittels Drahtbonden (links) und Flip-Chip-Bonden (rechts) /XIL 12/.....	69
Abb. 4.19	PLCC (links, /SMT 20/) und BGA-Gehäuse (rechts, /XIL 12/)	70
Abb. 4.20	QFP (links, /SMT 20/) und PGA-(rechts) Gehäuse.....	70
Abb. 4.21	Befestigung des Chips von oben im Gehäuse /XIL 12/	71
Abb. 4.22	Befestigung des Chips von unten im Gehäuse /XIL 12/	71
Abb. 5.1	Y-Diagramm nach Gajski /KES 13/	81

Abb. 5.2	Verhaltens- und Strukturbeschreibung auf Gatterebene am Beispiel eines Ein-Bit-Volladdierers /LAN 13/	80
Abb. 5.3	Entwurfsziele, Entwurfszustände und Entwurfsschritte /BAR 19/	82
Abb. 5.4	Ablauf der Entwicklungsschritte /JOH 10/	84

Tabellenverzeichnis

Tab. 2.1	Allgemeine Anforderungen.	6
Tab. 2.2	Anforderungen an Dokumentation und Robustheit im Sinne der NUREG/CR 7006.....	7
Tab. 2.3	Anforderungen an externe Einflüsse und die Hardware-Auslegung.	8
Tab. 2.4	Anforderungen an Zusammenwirken mit externen Schaltkreisen und an Leistungsfähigkeit der Hardware.....	9
Tab. 2.5	Auswahlkriterien durch Anforderungen an Leistungsfähigkeit der Hardware.....	10
Tab. 3.1	Umsatz der Hersteller von KEK im Marktvergleich. /EET 17/, /BLA 19/.....	16
Tab. 3.2	Übersicht ausgewählter KEK-Hersteller.	16
Tab. 3.3	Anwendungsgebiete von Produkten der betrachteten Hersteller.....	17
Tab. 3.4	Herstellerangaben zu sicherheitsrelevanten Normen und entsprechender Zertifizierung	19
Tab. 3.5	Auswertung der Kriterien für die Auswahl von KEK-Herstellern.	20
Tab. 3.6	In Kernkraftwerken eingesetzte KEK /MEN 15/, /EPR 09/, /EPR 11/.....	22
Tab. 3.7	Eingesetzte Software-Werkzeuge bei der Entwicklung softwarebasierter und programmierbarer Leittechnikplattformen für KKW.	23
Tab. 3.8	Ausgewählte KEK der verschiedenen Hersteller.....	24
Tab. 4.1	Typische Größen von Wafern /CON 18/, /SEM 01/.....	29
Tab. 4.2	Übersicht über Halbleiterfabriken /EVE 17/.....	31
Tab. 4.3	Liste der von KEK-Herstellern genannten Halbleiterfertiger.	32
Tab. 4.4	Anzahl der Metallisierungsebenen der betrachteten KEK.	33
Tab. 4.5	Eingesetzte CLB-Typen der ausgewählten KEK.	43
Tab. 4.6	Signalpegel verschiedener I/O-Standards. /TEX 17/, /NAT 19/.....	44
Tab. 4.7	Beispiele für flüchtige und nichtflüchtige Speicher.	47

Tab. 4.8	Vergleich der Speichertechnologien.....	48
Tab. 4.9	Vergleich der Speicher und Logikblöcke.....	49
Tab. 4.10	PLL und DLL der untersuchten KEK.....	53
Tab. 4.11	Minimale Strukturgröße und Transistortechnologie der betrachteten KEK.....	55
Tab. 4.12	KEK mit bis zu 5 Millionen Zellen pro Chip.....	57
Tab. 4.13	KEK mit mehr als 5 Millionen Zellen pro Chip.....	58
Tab. 4.14	Übersicht der von KEK-Herstellern angebotenen Kombinationen von Strukturgröße und Komponentendichte	59
Tab. 4.15	Kernspannung einiger ausgewählter KEK.....	61
Tab. 4.16	I/O-Spannung einiger ausgewählter KEK.....	62
Tab. 4.17	Hilfsspannung für einige ausgewählte KEK.....	63
Tab. 4.18	Maximal zulässige Temperaturbereiche für KEK der untersuchten Hersteller.....	65
Tab. 4.19	Arten der Kontaktierung bei KEK der Firma Xilinx.....	70
Tab. 4.20	Abmessungen von Gehäusen.....	72
Tab. 5.1	Entwurfsaspekte der Abstraktionsebenen im Y-Diagramm nach Gajski. /MAE 19/.....	81
Tab. 5.2	Software-Pakete der KEK-Hersteller für die Entwicklung von KEK.....	86
Tab. 5.3	Produkte von EDA-Firmen, die von den Entwicklungsumgebungen der KEK-Hersteller unterstützt werden.....	87
Tab. 5.4	Überblick über die von unterschiedlichen Firmen angebotenen EDA-Werkzeuge. /INT 19a/, /LAT 19a/, /MIC 19/, /XIL 19/.....	88
Tab. 5.5	Herstellerfirmen von IP-Cores, auf welche KEK-Hersteller verweisen.....	93
Tab. 6.1	Anwendbare Diversitätsmerkmale aus der bestehenden Diversitätsmatrix für die Auswahl von KEK.....	99
Tab. 6.2	Erweiterte Matrix zur Diversitätsbewertung bei der Auswahl von KEK... ..	100
Tab. A.1	Einsatzorte der KEK im KKW, Systeme, Hersteller.....	100
Tab. B.1	Empfohlene und maximal zulässige Bereiche der Umgebungstemperatur und der Temperatur der KEK im Gehäuse.....	119

Abkürzungsverzeichnis

ADC	Analog Digital Converter (Analog-Digital-Wandler)
ALU	Arithmetic Logic Unit
ASIC	Application Specific Integrated Circuit
BEoL	Back End of Line
BGA	Ball Grid Array (Gehäusetyp)
CAMIC	Computerbased Assessment Method for Instrumentation and Control Systems
CLB	Configurable Logic Block
CMOS	Complementary Metal-Oxide-Semiconductor
CPLD	Complex Programmable Logic Device
CPU	Central Processing Unit
DLL	Delay Locked Loop
DRAM	Dynamic Random Access Memory
EDA	Electronic Design Automation
EEPROM	Electrically Erasable Programmable Read Only Memory
EPROM	Erasable Programmable Read Only Memory
FEoL	Front End of Line
FPGA	Field Programmable Gate Array
GPIO	General Purpose Input Output
HDL	Hardware Description Language
HLS	High Level Synthese
HSIO	High-Speed Input Output

IC	Integrated Circuit, Integrierter Schaltkreis
I/O	Input/Output
IP-Core	Intellectual Property Core
JTAG-Pin	Joint Test Action Group (Pin, der genutzt wird, um Tests nach dem IEEE-Standard 1149.1 bei integrierten Schaltungen durchführen zu können)
LAB	Logic Array Block
LoM	Layer of Metal
LUT	Lookup Table
LVDS	Low Voltage Differential Signaling
LVTTL	Low-Voltage TTL
MRAM	Magnetoresistive Random Access Memory
PAL	Programmable Array Logic
PGA	Pin Grid Array (Gehäusetyp)
PLA	Programmable Logic Array
PLCC	Plastic Leaded Chip Carrier (Gehäusetyp)
PLL	Phase-Locked-Loop
PROM	Programmable Read Only Memory
QFJ	Quad Flat J Lead Chip carrier (Gehäusetyp)
QFP	Quad Flat Package (Gehäusetyp)
RAM	Random Access Memory
ROM	Read Only Memory
RTL	Register Transfer Level
SERDES	Serializer-Deserializer
SEU	Single Event Upset (Fehler, der in Halbleiterbauelementen beim Durchgang ionisierender Teilchen auftreten kann)

SOC	System On Chip
SPLD	Simple Programmable Logic Device
SRAM	Static Random Access Memory
TTL	Transistor-Transistor-Logik
VCO	Voltage Controlled Oscillator
VHDL	VHSIC Very High Speed Integrated Circuit Hardware Description Language

Literaturverzeichnis

- /AEC 14/ Automotive Electronics Council: Failure Mechanism Based Stress Test Qualification for Integrated Circuits, AEC-Q100 Rev. H, 11.09.2014.
- /ATM 14/ Atmel: ATF1504AS High Performance Complex Programmable Logic Device Datasheet. 2014.
- /BAR 19/ Prof. Dr.-Ing. Erich Barke, Dr.-Ing. Markus Olbrich, Prof. Dr.-Ing. Lars Hedrich Electronic Design Automation (EDA), Rechnergestützte Entwurfsverfahren für die Mikroelektronik, Institut für Mikroelektronische Systeme, Leibniz Universität Hannover, 23.4.2019, <http://www.em.cs.uni-frankfurt.de/edascript/de/index.html>, abgerufen am 14.05.2019.
- /BLA 19/ Black, D.: Xilinx Says its NEW FPGA is World's Largest, Artikel heruntergeladen unter <https://www.enterpriseai.news/2019/08/21/xilinx-says-its-new-fpga-is-worlds-largest/> am 22.10.2019.
- /BMU 12/ Bundesministerium für Umwelt, Naturschutz und Reaktorsicherheit: Sicherheitsanforderungen an Kernkraftwerke, November 2012.
- /CON 18/ Webseite <https://f450c.org/infographic/>, abgerufen am 20.12.2018
- /DIN 10a/ DIN EN 60880: Kernkraftwerke – Leittechnik für Systeme mit sicherheitstechnischer Bedeutung Softwareaspekte für rechnerbasierte Systeme zur Realisierung von Funktionen der Kategorie A, März 2010.
- /DIN 10b/ DIN EN 60987: Kernkraftwerke – Leittechnische Systeme mit sicherheitstechnischer Bedeutung – Anforderungen an die Hardware-Auslegung rechnerbasierter Systeme, März 2010.
- /DIN 10c/ DIN EN 62138: Kernkraftwerke – Leittechnik für Systeme mit sicherheitstechnischer Bedeutung – Softwareaspekte für rechnerbasierte Systeme zur Realisierung von Funktionen der Kategorie B oder C, März 2010.

- /DIN 13/ DIN EN 61513: Kernkraftwerke – Leittechnik für Systeme mit sicherheitstechnischer Bedeutung – Allgemeine Systemanforderungen, September 2013.
- /DIN 15/ DIN EN 62566: Kernkraftwerke – Leittechnik für Systeme mit sicherheitstechnischer Bedeutung – Entwicklung HDL-programmierter integrierter Schaltkreise für Systeme, die Funktionen der Kategorie A ausführen, Februar 2015.
- /DIN 16/ DIN EN ISO 14644: Reinräume und zugehörige Raumbereiche, 06.2016.
- /DIN 17/ DIN IEC 62566-2 VDE 0491-3-9:2017-10: Kernkraftwerke – Leittechnik für Systeme mit sicherheitstechnischer Bedeutung – Entwicklung HDL-programmierter integrierter Schaltkreise, Teil 2: Programmierte integrierte Schaltkreise für Systeme, die Funktionen der Kategorie B oder C ausführen, Oktober 2017.
- /EBN 02/ Ebner, M.: Handbuch der PA-Technik, ISBN: 3-89576-114-1, Elektor-Verlag, Aachen, 2002.
- /EDA 19/ Electronic Design Automation (EDA) Entwurfsautomatisierung in der Mikroelektronik, Vorlesungsskript, Leibniz Universität Hannover, Institut für Mikroelektronische Systeme, April 2019.
- /EET 17/ Artikel vom 08.03.2017, <http://www.eetindia.co.in/news/article/xilinx-takes-the-lead-in-2016-fpga-land>
- /ELE 19/ Webseite <https://www.elektronik-kompodium.de/sites/dig/0205171.htm>, 29.09.2019, abgerufen am 29.10.2019.
- /ELL 99/ Ellwein, Ch.: Programmierbare Logik mit GAL und CPLD, ISBN: 3-486-24610-0, Oldenbourg Verlag, 1999.
- /EPR 09/ Electric Power Research Institute: Guidelines on the Use of Field Programmable Gate Arrays (FPGAs) in Nuclear Power Plant I&C Systems, EPRI 1019181, Palo Alto, Dezember 2009.

- /EPR 11/ EPRI: Recommended Approaches and Design Criteria for Application of Field Programmable Gate Arrays in Nuclear Power Plant Instrumentation and Control Systems, EPRI 1022983, Palo Alto, 2011.
- /EVE 17/ Webseite [https://evertiq.de/news/20037?utm_source=feedburner&utm_medium=feed&utm_campaign=Feed:+EvertiqDe/All+\(evertiq.de+::+Neuste+Nachrichten\)](https://evertiq.de/news/20037?utm_source=feedburner&utm_medium=feed&utm_campaign=Feed:+EvertiqDe/All+(evertiq.de+::+Neuste+Nachrichten)), abgerufen am 24.07.2018.
- /FRI 09/ Frimont, S.: Ein Ansatz für die Nutzung teildefekter Field Programmable Gate Arrays (FGPAs) in der Serienproduktion. Dissertation. Uni Oldenburg. 13.10.2009.
- /GOD 13/ Godin, P.R.: CPLDs: An Introduction. Dezember 2013.
- /GRS 15a/ Arians, R., Arnold, S., Lindner, F., Mbonjo, H., Quester, C., Sommer, D.: Aufstellung von Kriterien und Kenngrößen zur deterministischen Prüfung der Eignung von Redesign-Komponenten für den Einsatz in der Sicherheitsleittechnik von Kernkraftwerken, GRS-395, März 2015.
- /GRS 15b/ Arians, R., Arnold, S., Blum, S., Buchholz M., Lochthofen, A., Quester, C., Sommer, D.: Entwicklung und Einsatz von Analysemethoden zur Beurteilung softwarebasierter leittechnischer Einrichtungen in deutschen Kernkraftwerken, GRS-355, ISBN: 978-3-944161-36-5, März 2015.
- /GRS 16/ Jopen, M., Quester, C., Römer, S., Sommer, D., Stiller, J., Ulrich, B.: Zuverlässigkeitsbewertung unter neuen Anforderungen an Sicherheitsleittechnik in Kernkraftwerken: Analysen der Anwendungspraxis, GRS-441, ISBN: 978-3-946607-32-6, Oktober 2016.
- /GRS 19/ Blum, S., Gatz, H., Jopen, M., Lambertus, C., Sommer, D.: Entwicklung einer Bewertungsgrundlage für die Zuverlässigkeit programmierbarer und rechnerbasierter Komponenten im Kernkraftwerk bezüglich Strahlungseinfluss, GRS, 2019.
- /HIL 19/ Hilleringmann, U.: Silizium-Halbleitertechnologie: Grundlagen mikroelektronischer Integrationstechnik, 7. Auflage, ISBN: 978-3-658-23443-0, Februar 2019.

- /IAE 16/ IAEA: Application of field programmable gate arrays in instrumentation and control systems of nuclear power plants, IAEA Nuclear Energy Series No. NP-T-3.17, Wien, 2016.
- /IND 19/ Webseite <https://www.indiamart.com/proddetail/smd-components-12885758391.html>, abgerufen am 12.08.2019
- /INT 18/ Intel: The Automotive-Grade Device Handbook, 01.10.2018.
- /INT 19a/ EDA Partners, Intel <https://www.intel.com/content/www/us/en/programmable/solutions/partners/eda-partners.html> abgerufen am 15.04.2019
- /INT 19c/ Intel, IP-Cores, <https://www.intel.com/content/www/us/en/programmable/solutions/partners/design-solutions-network/member-result.html?service=IPTags%2FSolutionType%2FIPCore&endMarket=industrial&endMarket=medical&endMarket=military>, abgerufen am 09.12.2019.
- /JOH 10/ Frank Johannes, Praktikum Systementwurf mit VHDL, HDL Design Lab, Lehrstuhl für Entwurfsautomatisierung Technische Universität München, 2010 <http://docplayer.org/4856002-Praktikum-systementwurf-mit-vhdl-hdl-design-lab-lehrstuhl-fuer-entwurfsautomatisierung-technische-universitaet-muenchen.html> abgerufen am 11.06.2016
- /KAF 07/ Kafka, G.: Unterschiedliche Verfahren transportieren Daten asynchron, synchron und isochron, 19.10.2007, <https://www.ip-insider.de/unterschiedliche-verfahren-transportieren-daten-asynchron-synchron-und-isochron-a-96167/>, abgerufen am 04.11.2019.
- /KES 13/ Kesel, F., Bartholomä, R.: Entwurf von digitalen Schaltungen und Systemen mit HDLs und FPGAs, 3. Auflage, ISBN 978-3-486-73181-1, Oldenbourg Wissenschaftsverlag GmbH, 2013.
- /KOW 02/ Kowalk, Prof. Dr. W.: Skript zur Vorlesung Rechnernetze, Universität Oldenburg, 19.03.2002. <http://einstein.informatik.uni-oldenburg.de/rechnernetze/inhalt.htm>, abgerufen am 04.11.2019.

- /KRA 14/ Krah, J.: Skript zur Vorlesung Digitale Signalverarbeitung mit FPGA. Fakultät für Informations-, Medien- und Elektrotechnik, Fachhochschule Köln. 04.02.2014.
- /KTA 31/ Kerntechnischer Ausschuss: KTA 3501, Reaktorschutzsystem und Überwachungseinrichtung des Sicherheitssystems, Januar 2016.
- /KTA 33/ Kerntechnischer Ausschuss: KTA 3503, Typprüfung von elektrischen Baugruppen der Sicherheitsleittechnik, Januar 2016.
- /KTA 35/ Kerntechnischer Ausschuss: KTA 3505, Typprüfung von Messwertgebern und Messumformern der Sicherheitsleittechnik, Januar 2016.
- /KUP 06/ Ku, P.C.: Lecture 16 – Introduction to optical Lithography, EECS 598-02 – Nanophotonics and Nano-scale Fabrication, Winter 2006.
- /LAN 13/ Dr. Walter Lange, Prof. Dr. Martin Bogdan, Entwurf und Synthese von Eingebetteten Systemen, Oldenbourg Verlag München, 2013
- /LAT 07/ Lattice Semiconductor Corporation: LA-MachXO Automotive Family Data Sheet, November 2007.
- /LAT 11/ Lattice Semiconductor Corporation: LatticeECP3 Product Family Qualification Summary, April 2011.
- /LAT 12/ Lattice Semiconductor Corporation: LatticeXP2 Product Family Qualification Summary, November 2012.
- /LAT 15/ Lattice Semiconductor Corporation: Lattice MachXO Product Family Qualification Summary, Januar 2015.
- /LAT 19a/ Lattice Semi Software Licensing <http://www.latticesemi.com/Support/Licensing#pac> abgerufen am 30.07.2019
- /LAT 19b/ <http://www.latticesemi.com/en/Support/AnswerDatabase/8/6/861>, abgerufen am 14.11.2019

- /LAT 19c/ Latticesemi, IP-Core, http://www.lattice-semi.com/ip#s=~_d0!2!1!!1!7!0!1!!2!!!1!0!_d2!2!wpxpypzpspvqAqBrutr-CrDrqqpvqqqpsp!%40providers!_d8!sbf!W.+Europe+Standard+Time!399!3!_d1!4!_d0!Lattice+Intellectual+Property!_d6!!wqlqtHpupxpGppvpxpvpuppEpppFpJpDpupCpBpApzpvppypqwprpqsg!, abgerufen am 09.12.2019
- /LAU 08/ Laube, Ph.: Halbleitertechnologie von A bis Z, Januar 2008, abgerufen unter www.halbleiter.org am 20.12.2018.
- /LEH 94/ Gunther Lehmann, Bernhard Wunder, Manfred Selz, Schaltungsdesign mit VHDL, 1994
- /LIX 18/ Li, X.: Powering your FPGA Applications, White Paper, Renesas, Februar 2018.
- /MAE 19/ Andreas Mäder, VHDL Kompakt, Universität Hamburg, 2019
<https://tams.informatik.uni-hamburg.de/vhdl/doc/ajmMaterial/vhdl.pdf> abgerufen am 15.04.2019
- /MAX 04/ Maxfield, C.: The Design Warrior's Guide to FPGAs. ISBN 0-7506-7604-3. 2004.
- /MEN 15/ Menon, Catherine, Guerra, Sofia: Field Programmable Gate Arrays in Safety Related Instrumentation and Control Applications, Energieforsk, report 2015/112, 2015.
- /MIC 19/ Microsemi, Accelerate Ecosystem Partner Program, EDA Partners
<https://www.microsemi.com/product-directory/partners/3776-eda-partners>
abgerufen am 30.07.2019
- /MIC 19b/ Microsemi, Webseite zu IP-Cores, <https://www.microsemi.com/product-directory/design-resources/5092-ip-cores>, abgerufen am 09.12.2019
- /MIK 18/ https://www.mikrocontroller.net/articles/Taktung_FPGA/CPLD, abgerufen am 31.07.2018

- /MIL 10/ MIL-PRF-38535J: Performance Specification – General Specification for Integrated Circuits (Microcircuits) Manufacturing, 28.12.2010.
- /MOR 14/ Rojas Moreno, V.J.: Applicability of Field Programmable Gate Arrays in Instrumentation and Control Systems in Nuclear Power Plants, Doktorarbeit, Universidad de Extremadura, 2014.
- /NAT 19/ Webseite von National Instruments, <https://www.ni.com/de-de/innovations/white-papers/06/understanding-lvds-for-digital-test-systems.html>, 14. Mai 2019. Abgerufen am 29.10.2019.
- /NRC 10/ NUREG/CR-7006: Review Guidelines for Field-Programmable Gate Arrays in Nuclear Power Plant Safety Systems, US NRC, Februar 2010.
- /PLA 17/ Plate, J.: Schnittstellen – Serielle Schnittstelle, USB, Feldbusse, SPI, I2C, 1-Wire, etc. 12. November 2017.
- /POG 03/ Poguntke, K.: IP-Cores, Proseminar 2003, Universität Ulm, 2003.
- /PUG 05/ Siegfried Puga-Reichle, Ansätze einer High-Level-Synthese in der Electronic Design Automation, Diplomarbeit, Fachhochschule Konstanz, 2005
- /RIS 17/ Rißka, V.: Forschung & Entwicklung: Riesige 450-mm-Wafer kommen (vorerst) nicht, Artikel vom 14.01.2017, abgerufen unter <https://www.computerbase.de/2017-01/450-mm-wafer/> am 19.12.2018.
- /SCH 16/ Thomas Schumann und Bernhard Hoppe: Systembeschreibung und Entwurf VHDL und Verilog, Hochschule Darmstadt, 2016 https://www.fernmaster.de/fileadmin/02_PDF/A21_2016-08_Auszug.pdf abgerufen am 15.04.2019
- /SEM 01/ SEMI International Standards: SEMI M1-0302 – Specifications for Polished Monocrystalline Silicon Wafers, November 2001.
- /SMT 20/ <http://smtsharing.blogspot.com/2012/08/smd-and-component-package.html>, abgerufen am 10.01.2020

- /STI 16/ Stiny, L.: Aktive elektronische Bauelemente, 3. Auflage, ISBN: 978-658-14386-2, Springer Vieweg, 2016.
- /TEX 17/ Texas Instruments, Logic Guide, 2017,
<http://www.ti.com/lit/sg/sdyu001ab/sdyu001ab.pdf>.
- /TSM 19/ TSMC-Webseite, https://www.tsmc.com/english/contact_us.htm#TSMC_fabs, abgerufen am 12.08.2019
- /VDI 11/ VDI/VDE: Anforderungen an Serienprodukte und Kriterien für deren Einsatz in der Sicherheitsleittechnik in Kernkraftwerken, VDI/VDE 3528 Blatt 1, August 2011.
- /VDI 13/ VDI: Reinraumtechnik, VDI 2083, Januar 2013.
- /VOE 00/ Völklein, F., Zetterer, Th.: Einführung in die Mikrosystemtechnik, ISBN: 978-3-528-03891-5, Springer Fachmedien Wiesbaden, 2000.
- /WAL 15/ Walter Lange, Martin Bogdan, Thomas Schweizer: Eingebettete Systeme, 2. Auflage, ISBN 978-3-11-029018-9, De Gruyter Oldenbourg, 2015.
- /WIK 18/ Webseite <https://de.wikipedia.org/wiki/Strukturqr%C3%B6%C3%9Fe>, abgerufen am 06.07.2018
- /WIK 19/ Webseite https://de.wikipedia.org/wiki/Elektrisches_Bauelement, abgerufen am 12.08.2019
- /XIL 12/ Xilinx : Device Package User Guide, 05. September 2012.
- /XIL 15/ Artikel vom 28.05.2015, Webseite,
<https://www.xilinx.com/news/press/2015/xilinx-collaborates-with-tsmc-on-7nm-for-fourth-consecutive-generation-of-all-programmable-technology-leadership-and-multi-node-scaling-advantage.html>, abgerufen am 24.07.2018
- /XIL 19/ Xilinx, IP-Cores, <https://www.xilinx.com/products/intellectual-property/nav-market/nav-defense.html>, abgerufen am 09.12.2019

**Gesellschaft für Anlagen-
und Reaktorsicherheit
(GRS) gGmbH**

Schwertnergasse 1
50667 Köln
Telefon +49 221 2068-0
Telefax +49 221 2068-888

Boltzmannstraße 14
85748 Garching b. München
Telefon +49 89 32004-0
Telefax +49 89 32004-300

Kurfürstendamm 200
10719 Berlin
Telefon +49 30 88589-0
Telefax +49 30 88589-111

Theodor-Heuss-Straße 4
38122 Braunschweig
Telefon +49 531 8012-0
Telefax +49 531 8012-200

www.grs.de